

PCT/JP 2004/000567

日 本 国 特 許 庁
JAPAN PATENT OFFICE

23. 1. 2004

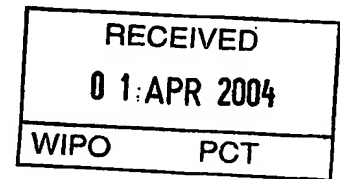
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 6 月 9 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 1 6 4 3 9 8
[ST. 10/C]: [J P 2 0 0 3 - 1 6 4 3 9 8]

出 願 人
Applicant(s): 独立行政法人 科学技術振興機構



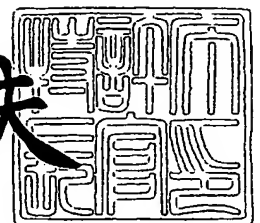
PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

2 0 0 4 年 3 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 4 3 0 2

【書類名】 特許願

【整理番号】 P03-0459

【提出日】 平成15年 6月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 スピン依存伝達特性を有する電界効果トランジスタ及び
それを用いた不揮発性メモリ

【請求項の数】 62

【発明者】

 【住所又は居所】 神奈川県横浜市中区本牧原 2 1 - 1 - 6 0 3

 【氏名】 菅原 聡

【発明者】

 【住所又は居所】 埼玉県さいたま市緑区井沼方 6 4 7 - 6 - 2 0 1

 【氏名】 田中 雅明

【特許出願人】

 【識別番号】 396020800

 【氏名又は名称】 科学技術振興事業団

【代理人】

 【識別番号】 100091096

 【弁理士】

 【氏名又は名称】 平木 祐輔

【選任した代理人】

 【識別番号】 100102576

 【弁理士】

 【氏名又は名称】 渡辺 敏章

【選任した代理人】

 【識別番号】 100108394

 【弁理士】

 【氏名又は名称】 今村 健一

【先の出願に基づく優先権主張】

【出願番号】 特願2003- 62453

【出願日】 平成15年 3月 7日

【手数料の表示】

【予納台帳番号】 015244

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スピン依存伝達特性を有する電界効果トランジスタ及びそれを用いた不揮発性メモリ

【特許請求の範囲】

【請求項 1】 スピン偏極した伝導キャリア（以下、「スピン偏極伝導キャリア」と称する。）を注入する強磁性体からなるソース（以下、「強磁性ソース」と称する。）と、

該強磁性ソースから注入されたスピン偏極伝導キャリアを受ける強磁性体からなるドレイン（以下、「強磁性ドレイン」と称する。）と、

前記強磁性ソースと前記強磁性ドレインとの間に設けられ、前記強磁性ソース及び前記強磁性ドレインとのそれぞれの接合界面においてショットキー障壁を有するショットキー接合を形成する半導体層と、

前記半導体層に対して形成されるゲート電極とを有するトランジスタ。

【請求項 2】 前記強磁性ソース又は前記強磁性ドレインの磁化の方向を反転させることによって、前記強磁性ソースに対する前記強磁性ドレインの相対的な磁化の向きを同方向（以下、「平行磁化」と称する。）又は反対方向（以下、「反平行磁化」と称する。）に制御できることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 3】 前記強磁性ソース及び前記強磁性ドレインは、強磁性金属により形成されていることを特徴とする請求項 1 又は 2 に記載のトランジスタ。

【請求項 4】 前記スピン偏極伝導キャリアの伝導型が前記半導体層と同じ場合（以下、「蓄積チャネル型」と称する。）において、前記スピン偏極伝導キャリアが電子の場合では前記ショットキー障壁は伝導バンド側に生じ、前記スピン偏極伝導キャリアが正孔の場合では前記ショットキー障壁は価電子バンド側に生じることを特徴とする請求項 1 から 3 までのいずれか 1 項に記載のトランジスタ。

【請求項 5】 前記スピン偏極伝導キャリアの伝導型が前記半導体層と異なる場合（以下、「反転チャネル型」と称する。）における、前記半導体層に反転

層が形成されていない場合において、前記スピン偏極伝導キャリアが電子の場合では前記ショットキー障壁は価電子バンド側に生じ、前記スピン偏極伝導キャリアが正孔の場合では前記ショットキー障壁は伝導バンド側に生じることを特徴とする請求項 1 から 3 までのいずれか 1 項に記載のトランジスタ。

【請求項 6】 前記蓄積チャネル型における前記ゲート電極と前記強磁性ソースとの間に電圧を印加しない状態において、前記スピン偏極伝導キャリアは前記ショットキー障壁によって前記半導体層へのトンネルおよび熱放出による注入が抑制されることを特徴とする請求項 4 に記載のトランジスタ。

【請求項 7】 前記蓄積チャネル型において、前記ゲート電極に対して電圧を印加することより、前記強磁性ソースの前記スピン偏極伝導キャリアは、前記強磁性ソースと前記半導体層との界面における前記ショットキー障壁をトンネルすることにより前記半導体層へ注入されることを特徴とする請求項 4 又は 6 に記載のトランジスタ。

【請求項 8】 前記蓄積チャネル型における、前記ゲート電極に対して電圧を印加しない状態において、前記スピン偏極伝導キャリアは、前記ショットキー障壁によって前記半導体層への熱放出による注入が抑制されるが、前記強磁性ソースの前記スピン偏極伝導キャリアは前記ショットキー障壁をトンネルすることにより前記半導体層へ注入されることを特徴とする請求項 4 に記載のトランジスタ。

【請求項 9】 前記蓄積チャネル型において、前記ゲート電極に対して印加する電圧により、前記強磁性ソースの前記スピン偏極伝導キャリアが前記強磁性ソースと前記半導体層との界面における前記ショットキー障壁をトンネルすることに基づき、前記強磁性ソースと前記強磁性ドレインとの間に生じる電流を制御できることを特徴とする請求項 7 又は 8 に記載のトランジスタ。

【請求項 10】 前記反転チャネル型における、前記ゲート電極と前記強磁性ソースとの間に電圧を印加しない状態において、前記ショットキー障壁によって、前記スピン偏極伝導キャリアは前記半導体層へのトンネル及び熱放出による注入が抑制されることを特徴とする請求項 5 に記載のトランジスタ。

【請求項 11】 前記反転チャネル型において、前記ゲート電極に対して印

加する電圧により前記半導体層に反転層が形成された場合に、前記強磁性ソースの前記スピン偏極伝導キャリアが熱放出又はトンネルの少なくとも一方により前記半導体層中に注入されることを特徴とする請求項 5 又は 10 に記載のトランジスタ。

【請求項 12】 前記反転チャネル型における、前記ゲート電極に対して電圧を印加しない状態においても、前記半導体層に反転層が形成されており、前記強磁性ソースの前記スピン偏極伝導キャリアが熱放出又はトンネルの少なくとも一方により前記半導体層中に注入されることを特徴とする請求項 5 に記載のトランジスタ。

【請求項 13】 前記反転チャネル型において、前記ゲート電極に対して印加する電圧により、前記強磁性ソースの前記スピン偏極伝導キャリアが前記強磁性ソースから前記半導体層に熱放出又はトンネルの少なくとも一方により注入されることに基づき、前記強磁性ソースと前記強磁性ドレインとの間に生じる電流を制御できることを特徴とする請求項 5 又は 11、12 に記載のトランジスタ。

【請求項 14】 前記蓄積チャネル型又は前記反転チャネル型において、前記半導体層に注入される前記スピン偏極伝導キャリアは、前記強磁性ソースのフェルミエネルギーにおけるスピン分極率に依存してスピン偏極していることを特徴とする請求項 4 から 13 までのいずれか 1 項に記載のトランジスタ。

【請求項 15】 前記蓄積チャネル型又は前記反転チャネル型において、前記強磁性ソースと前記強磁性ドレインとの相対的な磁化状態が平行磁化である場合に、前記強磁性ソースから注入された前記スピン偏極伝導キャリアの前記強磁性ドレインにおけるスピン依存散乱による電気抵抗が小さく、前記強磁性ソースと前記強磁性ドレインとの相対的な磁化の向きが反平行磁化である場合に、前記スピン偏極伝導キャリアの前記強磁性ドレインにおけるスピン依存散乱による電気抵抗が大きくなることを特徴とする請求項 4 から 14 までのいずれか 1 項に記載のトランジスタ。

【請求項 16】 同一バイアス下において、前記強磁性ソースと前記強磁性ドレインとの相対的な磁化の向きにより伝達コンダクタンスを制御できることを特徴とする請求項 1 から 15 までのいずれか 1 項に記載のトランジスタ。

【請求項 17】 前記蓄積チャネル型又は前記反転チャネル型において、前記強磁性ソースと前記強磁性ドレインとが平行磁化を持つ場合に、前記ゲート電極に対して印加する電圧により前記強磁性ソースと前記強磁性ドレインとの間に、定められたある電流を生じさせるゲート電圧として定義されるしきい値を有することを特徴とする請求項 4 から 16 までのいずれか 1 項に記載のトランジスタ。

【請求項 18】 強磁性体であって、一方のスピンに対しては金属的なバンド構造（以下、「金属的スピンバンド」と称する。）を、他方のスピンに対しては半導体的又は絶縁体的なバンド構造（以下、「半導体的スピンバンド」と称する。）をとるハーフメタルからなり、スピン偏極した伝導キャリアを注入する強磁性ソースと、

該強磁性ソースから注入されたスピン偏極した前記伝導キャリアを受けるハーフメタルからなる強磁性ドレインと、

前記強磁性ソースと前記強磁性ドレインとの間に設けられ、前記強磁性ソース及び前記強磁性ドレインのそれぞれと接合した半導体層と、

前記半導体層に対して形成されるゲート電極とを有することを特徴とするトランジスタ。

【請求項 19】 前記強磁性ソース及び前記強磁性ドレインは、前記ハーフメタルにおける金属的スピンバンドが前記半導体層との界面においてショットキー障壁を有するショットキー接合を形成することを特徴とする請求項 18 に記載のトランジスタ。

【請求項 20】 前記伝導キャリアの伝導型が前記半導体層と同じ場合（以下、「蓄積チャネル型」と称する。）において、前記伝導キャリアが電子の場合では前記金属的スピンバンドによる前記ショットキー障壁は伝導バンド側に生じ、前記伝導キャリアが正孔の場合では前記金属的スピンバンドによる前記ショットキー障壁は価電子バンド側に生じることを特徴とする請求項 18 又は 19 に記載のトランジスタ。

【請求項 21】 前記伝導キャリアの伝導型が前記半導体層と異なる場合（以下、「反転チャネル型」と称する。）における、前記半導体層に反転層が形成

されていない場合において、前記伝導キャリアが電子の場合では前記ショットキー障壁は価電子バンド側に生じ、前記伝導キャリアが正孔の場合では前記ショットキー障壁は伝導バンド側に生じることを特徴とする請求項 18 又は 19 に記載のトランジスタ。

【請求項 22】 前記強磁性ソース及び前記強磁性ドレインと前記半導体層との接合において、前記ハーフメタルの半導体的スピンバンドのバンドギャップは前記半導体層のバンドギャップより大きいことを特徴とする請求項 18 又は 19 に記載のトランジスタ。

【請求項 23】 前記強磁性ソース及び前記強磁性ドレインと前記半導体層との接合において、前記ハーフメタルにおける半導体的スピンバンドは前記半導体層に対してエネルギー障壁を形成し、前記伝導キャリアが電子の場合には、少なくとも伝導バンド側にエネルギー障壁を生じ、前記伝導キャリアが正孔の場合には、少なくとも価電子バンド側にエネルギー障壁を生じさせることを特徴とする請求項 18 又は 19 に記載のトランジスタ。

【請求項 24】 さらに、前記強磁性ソース及び前記強磁性ドレインに対して、それぞれ非磁性金属からなるコンタクト（以下、「非磁性コンタクト」と称する。）が形成されていることを特徴とする請求項 18 から 23 までのいずれか 1 項に記載のトランジスタ。

【請求項 25】 前記非磁性コンタクトは、前記金属的スピンバンドに対して金属間の接合を形成し、前記半導体的スピンバンドに対して半導体的スピンバンドがエネルギー障壁となる金属と半導体間又は金属と絶縁体間の接合構造を形成することを特徴とする請求項 24 に記載のトランジスタ。

【請求項 26】 前記蓄積チャネル型における、前記ゲート電極と前記強磁性ソースと間に電圧を印加しない状態において、前記金属的スピンバンドの前記伝導キャリアは、前記金属的スピンバンドによるショットキー障壁によって、前記半導体層へトンネルおよび熱放出による注入が抑制されることを特徴とする請求項 20 に記載のトランジスタ。

【請求項 27】 前記蓄積チャネル型において、
前記ゲート電極に対して電圧を印加することにより、前記強磁性ソースにおけ

る前記金属的スピンバンドの伝導キャリアは、前記強磁性ソースと前記半導体層との界面における前記ショットキー障壁をトンネルすることにより半導体層に注入されることを特徴とする請求項 20 又は 26 に記載のトランジスタ。

【請求項 28】 前記蓄積チャネル型における、前記ゲート電極に対して電圧を印加しない状態において、前記金属的スピンバンドの前記伝導キャリアは、前記ショットキー障壁によって前記半導体層への熱放出による注入が抑制されるが、前記強磁性ソースにおける前記金属的スピンバンドの伝導キャリアは、前記ショットキー障壁をトンネルすることにより前記半導体層へ注入されることを特徴とする請求項 20 に記載のトランジスタ。

【請求項 29】 前記蓄積チャネル型において、ゲート電極に対して印加する電圧により、前記強磁性ソースにおける金属的スピンバンドの伝導キャリアが前記強磁性ソースと前記半導体層との界面における前記ショットキー障壁をトンネルすることに基づき、前記強磁性ソースと前記強磁性ドレインとの間に生じる電流を制御できることを特徴とする請求項 20 に記載のトランジスタ。

【請求項 30】 前記蓄積チャネル型における、前記ゲート電極と前記強磁性ソース側の前記非磁性コンタクトとの間に電圧を印加した状態において、前記非磁性コンタクトから前記強磁性ソースにおける前記半導体的スピンバンドと平行なスピンを有する伝導キャリアは、前記半導体的スピンバンドによる前記非磁性コンタクトに対する前記エネルギー障壁によって前記半導体層へのトンネル及び熱放出による注入が抑制されていることを特徴とする請求項 20 に記載のトランジスタ。

【請求項 31】 前記反転チャネル型における、
前記ゲート電極と前記強磁性ソースとの間に電圧を印加しない状態において、前記金属的スピンバンドの前記伝導キャリアは、前記ショットキー障壁によって、前記半導体層へのトンネル及び熱放出による注入が抑制されていることを特徴とする請求項 21 に記載のトランジスタ。

【請求項 32】 前記反転チャネル型において、
前記ゲート電極に対して印加する電圧により前記半導体層に反転層が形成された場合に、前記強磁性ソースにおける前記金属的スピンバンドの伝導キャリアが

前記強磁性ソースから前記半導体層に熱放出又はトンネルの少なくとも一方によって注入されることを特徴とする請求項 2 1 又は 3 1 に記載のトランジスタ。

【請求項 3 3】 前記反転チャネル型における、前記ゲート電極に対して電圧を印加しない状態においても、前記半導体層に反転層が形成されており、前記強磁性ソースにおける前記金属的スピンバンドの前記伝導キャリアが熱放出又はトンネルの少なくとも一方により前記半導体層中に注入されることを特徴とする請求項 2 1 に記載のトランジスタ。

【請求項 3 4】 前記反転チャネル型において、
前記ゲート電極に対して印加する電圧により、前記強磁性ソースにおける前記金属的スピンバンドの伝導キャリアが前記強磁性ソースから前記半導体層に熱放出又はトンネルの少なくとも一方によって注入されることに基づき、前記強磁性ソースと前記強磁性ドレインとの間に生じる電流を制御できることを特徴とする請求項 2 1 に記載のトランジスタ。

【請求項 3 5】 前記反転チャネル型における、前記ゲート電極と前記強磁性ソース側の前記非磁性コンタクトとの間に電圧を印加した状態において、前記非磁性コンタクトから前記強磁性ソースにおける前記半導体的スピンバンドと平行なスピンを有する伝導キャリアは、前記半導体的スピンバンドによる前記非磁性コンタクトに対する前記エネルギー障壁によって、前記半導体層へトンネル及び熱放出による注入が抑制されることを特徴とする請求項 2 1 に記載のトランジスタ。

【請求項 3 6】 前記蓄積チャネル型又は前記反転チャネル型において、
前記強磁性ソースの前記金属的スピンバンドから前記半導体層へ注入された一方のスピンを持つ伝導キャリアと、前記非磁性コンタクトから前記強磁性ソースの前記半導体的スピンバンドを介して前記半導体層へ注入されたもう一方のスピンを持つ伝導キャリアとの存在比で決まる伝導キャリアのスピン偏極率を、前記強磁性ソースにおける前記半導体的スピンバンドのエネルギーギャップまたは前記非磁性コンタクトから見た前記強磁性ソースの半導体的スピンバンドによる障壁高さまたは前記強磁性ソースの膜厚で制御できることを特徴とする請求項 2 0 又は 2 1 に記載のトランジスタ。

【請求項 37】 前記蓄積チャネル型又は前記反転チャネル型において、前記強磁性ソースと前記強磁性ドレインとの相対的な磁化状態が平行磁化である場合に、前記強磁性ソースの前記金属的スピンバンドから前記半導体層へ注入された伝導キャリアが前記強磁性ドレインの前記金属的スピンバンドを伝導することができ、

前記強磁性ソースと前記強磁性ドレインとの相対的な磁化状態が反平行磁化である場合に、前記強磁性ソースの前記金属的スピンバンドから前記半導体層へ注入された前記伝導キャリアが前記強磁性ドレインにおける前記半導体的スピンバンドによるエネルギー障壁によって前記強磁性ドレインに到達することができないことを特徴とする請求項 20 から 36 までのいずれか 1 項に記載のトランジスタ。

【請求項 38】 前記蓄積チャネル型又は前記反転チャネル型において、前記強磁性ソースと前記強磁性ドレインとが平行磁化を持つ場合に、ゲート電極に対して印加する電圧によって前記強磁性ソースと前記強磁性ドレインとの間に定められたあるトンネル電流を生じさせるゲート電圧として定義されるしきい値を有することを特徴とする請求項 20 から 37 までのいずれか 1 項に記載のトランジスタ。

【請求項 39】 同一バイアス下において、前記強磁性ソースと前記強磁性ドレインとの相対的な磁化の向きにより伝達コンダクタンスを制御できることを特徴とする請求項 18 から 38 までのいずれか 1 項に記載のトランジスタ。

【請求項 40】 前記強磁性ソース及び前記強磁性ドレインは、前記半導体層に成長又は堆積により形成されることを特徴とする請求項 1 から 39 までのいずれか 1 項に記載のトランジスタ。

【請求項 41】 前記強磁性ソース及び前記強磁性ドレインは、前記半導体層中に磁性元素を導入することによって形成されることを特徴とする請求項 1 から 39 までのいずれか 1 項に記載のトランジスタ。

【請求項 42】 請求項 1 から 41 までのいずれか 1 項に記載の 1 つのトランジスタを用いて、前記強磁性ソースに対する前記強磁性ドレインの相対的な磁化の方向によって情報を記憶し、前記強磁性ソースと前記強磁性ドレインとの相

対的な磁化の方向に依存するトランジスタの伝達コンダクタンスに基づいて前記トランジスタ内に記憶された情報を検出することを特徴とする記憶素子。

【請求項 4 3】 請求項 1 から 4 1 までのいずれか 1 項に記載の 1 つのトランジスタと、

前記ゲート電極と接続する第 1 の配線と、

前記強磁性ドレインと接続する第 2 の配線と、

前記強磁性ソースを接地する第 3 の配線と

を有する記憶素子。

【請求項 4 4】 請求項 1 から 4 1 までのいずれか 1 項に記載の 1 つのトランジスタと、

前記ゲート電極と接続する第 1 の配線と、

前記強磁性ドレインと接続する第 2 の配線と、

前記強磁性ソースを接地する第 3 の配線と、

前記第 2 の配線の一端に形成される出力端子と、

前記第 2 の配線から分岐し負荷を介して電源と接続する第 4 の配線とを有する記憶素子。

【請求項 4 5】 さらに、前記トランジスタ上又はその近傍で互いに電氣的に絶縁された状態で交差する第 1 の別配線及び第 2 の別配線とを有することを特徴とする請求項 4 3 又は 4 4 に記載の記憶素子。

【請求項 4 6】 前記第 1 の別配線および前記第 2 の別配線、又は、前記第 1 の別配線又は前記第 2 の別配線のいずれか一方に代えて、前記第 1 の配線および前記第 2 の配線、又は、前記第 1 の配線又は前記第 2 の配線のいずれか一方を用いることを特徴とする請求項 4 3 又は 4 4 に記載の記憶素子。

【請求項 4 7】 前記第 1 の別配線及び前記第 2 の別配線、又はこれらを置き換えた前記第 1 の配線及び前記第 2 の配線、又は前記第 1 の別配線又は前記第 2 の別配線のいずれか一方を置き換えた前記第 1 の配線又は前記第 2 の配線及びこれらに置き換えられなかった方の前記第 1 の別配線又は前記第 2 の別配線に電流を流すことにより誘起される磁場により、前記強磁性ソース又は前記強磁性ドレインの磁化を反転させ、前記強磁性ソースと前記強磁性ドレインとの間の相対

的な磁化状態を変化させることにより情報の書き換えを行うことを特徴とする請求項 4 5 又は 4 6 に記載の記憶素子。

【請求項 4 8】 前記強磁性ソースと前記強磁性ドレインとが平行磁化を持つ場合における前記しきい値以上の大きな電圧を前記第 1 の配線に対して印加し、前記強磁性ソースと前記強磁性ドレインとの間に所定のバイアスを印加した場合の前記トランジスタにおけるドレイン電流の大きさに基づき情報の読み出しを行うことを特徴とする請求項 4 3 から 4 7 に記載の記憶素子。

【請求項 4 9】 前記強磁性ソースと前記強磁性ドレインとが平行磁化を持つ場合におけるしきい値より大きな電圧を前記第 1 の配線を介して前記ゲート電極に対して印加した場合の前記トランジスタにおけるドレイン電流によって生じる前記負荷による電圧降下に基づいて得られる出力電圧により、情報の読み出しを行うことを特徴とする請求項 4 4 から 4 7 までのいずれか 1 項に記載の記憶素子。

【請求項 5 0】 マトリックス状に配置された請求項 1 から 4 1 までのいずれか 1 項に記載のトランジスタと、

前記強磁性ソースをそれぞれ接地する第 1 の配線と、

列方向に並ぶ複数の前記トランジスタのそれぞれのゲート電極を共通に接続する複数本のワード線と、

行方向に並ぶ前記トランジスタのそれぞれの強磁性ドレインを共通に接続する複数本のビット線と
を有する記憶回路。

【請求項 5 1】 マトリックス状に配置された請求項 1 から 4 1 までのいずれか 1 項に記載のトランジスタと、

前記強磁性ソースをそれぞれ接地する第 1 の配線と、

列方向に並ぶ複数の前記トランジスタのそれぞれのゲート電極を共通に接続する複数本のワード線と、

行方向に並ぶ前記トランジスタのそれぞれの強磁性ドレインを共通に接続する複数本のビット線と、

該ビット線のそれぞれの一端に形成される出力端子と、

該ビット線からそれぞれ分岐し負荷を介して電源に接続する第2の配線とを有する記憶回路。

【請求項52】 さらに、前記トランジスタ上又はその近傍で互いに電氣的に絶縁された状態で交差する第1の別配線及び第2の別配線とを有することを特徴とする請求項50又は51に記載の記憶回路。

【請求項53】 前記第1の別配線および前記第2の別配線、又は、前記第1の別配線又は前記第2の別配線のいずれか一方に代えて、前記ワード線および前記ビット線、又は、前記ワード線又は前記ビット線のいずれか一方を用いることを特徴とする請求項52に記載の記憶回路。

【請求項54】 前記第1の別配線及び前記第2の別配線、又はこれらを置き換えた前記ワード線及び前記ビット線、又は前記第1の別配線又は前記第2の別配線のいずれか一方を置き換えた前記ワード線又は前記ビット線及びこれらに置き換えられなかった方の前記第1の別配線又は第2の別配線に電流を流すことにより誘起される磁場により、前記強磁性ソース又は前記強磁性ドレインの磁化を反転させ、前記強磁性ソースと前記強磁性ドレインとの間の相対的な磁化状態を変化させることにより情報の書き換えを行うことを特徴とする請求項50から53までのいずれか1項に記載の記憶回路。

【請求項55】 前記強磁性ソースと前記強磁性ドレインとが平行磁化を持つ場合における前記しきい値より大きな電圧を前記ワード線に対して印加し、前記強磁性ソースと前記強磁性ドレインとの間に所定のバイアスを印加した場合の前記トランジスタにおけるドレイン電流の大きさに基づき、情報の読み出しを行うことを特徴とする請求項50から54までのいずれか1項に記載の記憶回路。

【請求項56】 前記強磁性ソースと前記強磁性ドレインとが平行磁化を持つ場合における前記しきい値より大きな電圧を前記ワード線を介して前記ゲート電極に対して印加した場合の前記トランジスタにおけるドレイン電流によって生じる前記負荷による電圧降下に基づいて得られる出力電圧により、情報の読み出しを行うことを特徴とする請求項51から55までのいずれか1項に記載の記憶回路。

【請求項57】 前記強磁性ソース又は前記強磁性ドレインの磁化を反転さ

せることにより情報の書き込みを行うことを特徴とする請求項 43 から 55 までのいずれか 1 項に記載の記憶素子又は記憶回路。

【請求項 58】 請求項 1 から 41 までのいずれか 1 項に記載の第 1 及び第 2 の 2 つのトランジスタと、

前記第 1 のトランジスタのゲート電極と前記第 2 のトランジスタのゲート電極とを共通接続する第 1 の配線と、

前記第 1 のトランジスタが有する第 1 の強磁性ドレインと接続する第 2 の配線及び第 2 のトランジスタが有する第 2 の強磁性ドレインと接続する第 3 の配線と、

前記第 1 及び第 2 のトランジスタに共通の前記強磁性ソースを接地する第 4 の配線とを有する記憶素子。

【請求項 59】 マトリックス状に配置された請求項 1 から 41 までのいずれか 1 項に記載のトランジスタと、

前記強磁性ソースをそれぞれ接地する第 1 の配線と、

列方向に並ぶ複数の前記トランジスタのそれぞれのゲート電極を共通に接続する複数本のワード線と、

行方向に並ぶ前記トランジスタのそれぞれの強磁性ドレインを共通に接続する複数本のビット線と、

該ビット線の一端に形成される出力端子と、

該ビット線から分岐し負荷を介して電源に接続する第 2 の配線とを有する記憶回路。

【請求項 60】 前記蓄積チャネル型における前記半導体層として、アンドープの半導体または真性半導体を用いることを特徴とする請求項 1～4、6～9、14～20、22～30、36～41 までのいずれか 1 項に記載のトランジスタ。

【請求項 61】 前記トランジスタとして、請求項 60 に記載のトランジスタを用いることを特徴とする請求項 42 から 49 まで、57 又は 58 のいずれか 1 項に記載の記憶素子。

【請求項 62】 前記トランジスタとして、請求項 60 に記載のトランジスタを用いることを特徴とする請求項 50 から 57 まで又は 59 のいずれか 1 項に記載の記憶回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、新規なトランジスタに関し、より詳細には、スピン依存伝達特性を有する電界効果トランジスタ及びそれを用いた不揮発性メモリに関する。

【0002】

【従来の技術】

近年の高度情報化社会の発展は目覚しく、特に最近では“モバイル機器”を媒介として急速に民間に広がってきている。“モバイル機器”という大きな需要は今後の半導体産業の要になりうると認識されているが、この対応には半導体集積回路の高速化・低消費電力化・大容量化といった従来通りの高性能化に加え、情報の不揮発といった新たな要求に応じる必要が生じる。このような要求に対して、不揮発高密度記録として優れた強磁性体ストレージ技術と半導体集積エレクトロニクス技術とを融合させた新しいメモリデバイスが注目を集めている。このデバイスは磁気ランダムアクセスメモリ(magnetoresistive random access memory; 以下、「MRAM」と称する。)と呼ばれ、薄い絶縁性のトンネル障壁を強磁性電極で挟み込んだ構造を持つ強磁性トンネル接合(magnetic tunnel junction; 以下「MTJ」と称する)をその記憶素子として用いる(例えば、非特許文献 1 参照)。

【0003】

MTJ では強磁性電極間の相対的な磁化の方向によってトンネル抵抗が異なる。これをトンネル磁気抵抗(tunneling magnetoresistance; 以下「TMR」と称する)効果と呼ぶ。TMR を用いれば、強磁性体の磁化状態を電氣的に検出することが可能となる。従って、MTJ の存在によって強磁性体による情報の不揮発ストレージ技術を半導体集積エレクトロニクスに理想的に取り込むことが可能となる。

【0004】

以下、図10を参照して従来技術の一例について説明する。図10に示すように、MRAMのメモリセル100では、1ビットのメモリセルを、1つのMTJ 101と1つの金属-酸化物-半導体電界効果トランジスタ（以下「MOSFET」と称する。）103とにより構成する方法が主に用いられる。MTJ 101は、第1の強磁性電極105と、第2の強磁性電極107と、両者の間に設けられた絶縁体により形成されたトンネル障壁（絶縁体）108とからなるトンネル接合である。

【0005】

MOSFET 103のソース（S）を接地（GND）し、ドレイン（D）をMTJ 101の一方の強磁性電極107にプラグPLなどを用いて接続する。MTJ 101の他方の強磁性電極105はビット線BLに接続し、書き換え用ワード線111は、MTJ 101の直上または直下でMTJ 101及び他の配線と、絶縁膜115により電氣的に絶縁した状態でビット線BLと交差するように配置する。読み出し用ワード線WLはMOSFET 103のゲート電極Gに接続する。

【0006】

強磁性体では、磁化の方向を不揮発に保持することができるので、MTJでは強磁性電極間の相対的な磁化状態を平行磁化または反平行磁化にすることによって、2値の情報を不揮発に記憶することができる。また、MTJではTMR効果によって2つの強磁性電極間における相対的な磁化状態でトンネル抵抗が異なる。よって、平行磁化、反平行磁化といった磁化状態に対応したトンネル抵抗を用いればMTJ内の磁化状態を電氣的に検出することができる。

【0007】

情報の書き換えは、MTJ 101における2つの強磁性電極105、107の保持力を変えておくか、一方の強磁性電極の磁化方向を固定しておき、保持力の小さな強磁性電極または磁化方向の固定されていない強磁性電極を磁化反転させることによって行う。以下、磁化反転を行う強磁性電極をフリー層、磁化反転を行わない強磁性電極をピン層と呼ぶ。具体的には、選択セル上で交差するビット線BLと書き換え用ワード線111とのそれぞれに電流を流し、それぞれの電流

によって誘起される磁界の合成磁界によって選択されたメモリセル100内のMTJ101の磁化状態を平行磁化または反平行磁化に変化させる。この際、選択したセルと同一のビット線BLまたは書き換え用ワード線111を有する非選択セルが磁化反転しないように、一方の配線のみからの磁界では非選択セルのMTJ101が磁化反転をしないようにそれぞれの配線に流す電流値を設定しておく。情報の読出しは、選択セルに接続された読み出し用のワード線WLに電圧を印加してMOSFET103を導通させてから、ビット線BLを介して読み出し用の駆動電流をMTJ101に流す。MTJ101では、TMR効果によって平行磁化または反平行磁化の磁化状態に依存してトンネル抵抗が異なるため、読み出し用の駆動電流によるMTJ101における電圧降下（以下、「出力電圧」と呼ぶ）を検出すれば磁化状態を判定することができる（非特許文献1参照）。

【0008】

【非特許文献1】

K. Inomata, "Present and future of magnetic RAM technology", I EICE Trans. Electron. Vol.E84-C, pp740-746, 2001.

【0009】

【発明が解決しようとする課題】

MTJは、トンネル障壁を介して相対する強磁性電極の磁化状態が平行磁化であるか反平行磁化であるかに対応して2値の抵抗値をとる。この2値の情報のいずれの情報が記憶されているかを駆動電流で高感度に検出するためには、MTJ自身のインピーダンス（接合抵抗）を調節して出力電圧の大きさを最適化する必要がある。

【0010】

さらに、情報の記憶内容を正確に読み出すために、平行磁化と反平行磁化との2つの磁化状態間における出力信号の比を大きくする必要がある。このためには、TMR比と呼ばれるMTJが平行磁化を持つ場合と反平行磁化を持つ場合とのそれぞれにおけるTMRの変化率を大きくする必要がある。TMR比は、強磁性電極のスピンの極率Pに依存するが、TMR比を大きくするためには、Pの値が大きな強磁性体を強磁性電極に用いることが必要である。

【0011】

また、MTJにおけるTMR比は、MTJに印加するバイアス電圧に強く依存し、バイアス電圧とともに急激に減少する。高感度にまたは高速に情報の読出しを行うために大きな駆動電流をMTJに流すと、MTJにおける電圧降下が大きくなり、TMR比が減少する。そこで、MTJにおける大きな電圧降下が生じてもTMR比が減少しないように、TMR比の耐バイアスが必要になる。

【0012】

MRAMは、構造が簡単で、またMTJはナノスケールのサイズまで微細化できることから、高密度集積化に適したメモリである。数ギガビット以上の高集積度を実現しようとする、MOSFETのチャネル長は $0.1\mu\text{m}$ 程度以下となることが予想されるが、このような微細なトランジスタに合わせて微細なMTJを集積化しようとしても、コンタクト、多層配線がセル面積を占有するようになり、両者を超高密度に集積することが難しくなる。従って、より単純な構造を有するメモリセルが望まれる。

【0013】

本発明は、ソース及びドレインに強磁性体によるショットキー接合を用いた金属―絶縁体―半導体電界効果トランジスタ(MISFET)を提供することを目的とする。加えて、このトランジスタ単体で1ビットのメモリセルを構成することにより大容量・不揮発性記憶装置を提供することを目的とする。

【0014】

【課題を解決するための手段】

本発明の一観点によれば、スピン偏極した伝導キャリア（以下、「スピン偏極伝導キャリア」と称する。）を注入する強磁性体からなるソース（以下、「強磁性ソース」と称する。）と、該強磁性ソースから注入されたスピン偏極伝導キャリアを受ける強磁性体からなるドレイン（以下、「強磁性ドレイン」と称する。）と、前記強磁性ソースと前記強磁性ドレインとの間に設けられ、前記強磁性ソース及び前記強磁性ドレインとのそれぞれの界面においてショットキー接合を形成する半導体層と、前記半導体層に対して形成されるゲート電極とを有する金属―絶縁体―半導体電界効果トランジスタ(MISFET)が提供される。

【0015】

前記強磁性ソース及び前記強磁性ドレインは、強磁性金属により形成されているか、又は、一方のスピンに対しては金属的なバンド構造（以下、「金属的スピンバンド」と称する。）を、他方のスピンに対しては半導体的な（または絶縁体的な）バンド構造（以下、「半導体的スピンバンド」と称する。）をとるハーフメタルにより形成され、該ハーフメタルにおける金属的スピンバンドが前記半導体層との界面においてショットキー接合を形成する。さらに、前記強磁性ソース及び強磁性ドレインに対して、それぞれ非磁性金属からなるコンタクト（非磁性コンタクトまたは非磁性電極）が形成されていることが好ましい。

【0016】

尚、前記ハーフメタルにおいて、金属的スピンバンドは一方のスピンによって途中まで占有されており、半導体的スピンバンドは他方のスピンによって完全に満たされたバンド（価電子バンド）がバンドギャップによって空のバンド（伝導バンド）と分離している。したがって、フェルミエネルギーは一方のスピンの金属的なバンドを横切るが、他方のスピンに対してはバンドギャップ中を横切るといった特徴を有する。

【0017】

また、前記ハーフメタルによる前記強磁性ソース及び前記強磁性ドレインと前記半導体層との接合において、前記ハーフメタルにおける前記半導体的スピンバンドのバンドギャップは、前記半導体層のバンドギャップより大きく、前記半導体層に対してエネルギー障壁を形成し、伝導キャリアが電子の場合は、少なくとも伝導バンド側にエネルギー不連続を生じ、伝導キャリアが正孔の場合は、少なくとも価電子バンド側にエネルギー不連続を生じている必要がある。

【0018】

上述のように本発明のMISFETでは、前記強磁性ソースおよび前記強磁性ドレインとして強磁性金属を用いた場合とハーフメタルとを用いた場合とがある。また、本発明のMISFETでは、半導体層と同じ伝導型のキャリアを伝導キャリアとする場合と、前記半導体層と反対の伝導型のキャリアを誘起して伝導キャリアとする場合がある。以下では、便宜上、前者を蓄積チャネル型、後者を反

転チャネル型と呼ぶ。また、前記強磁性ソースに対する前記強磁性ドレインの相対的な磁化の向きが同方向である場合を平行磁化、反対方向である場合を反平行磁化とする。本発明では、エンハンスメント型およびデプレッション型のMISFETを構成することができるが、以下ではエンハンスメント型について述べる。

【0019】

前記強磁性ソースおよび前記強磁性ドレインに、前記強磁性金属または前記ハーフメタルのいずれを用いた場合でも、また前記反転チャネル型と前記蓄積チャネル型のいずれの場合においても、前記ゲート電極に対してデバイス構造から決まるあるしきい値以下の電圧を印加した場合では前記MISFETは遮断状態である。これは、前記強磁性ソースと前記強磁性ドレインとの相対的な磁化状態によらない。前記ゲート電極に対して、しきい値以上の電圧を印加すれば、MISFETを導通状態にすることができるが、このとき前記強磁性ソースに対する前記強磁性ドレインの相対的な磁化状態によって、前記強磁性ソースと前記強磁性ドレイン間に生じる電流（以下、「ドレイン電流」と呼ぶ。）の大きさが異なる。すなわち、同一バイアス下であっても、反平行磁化の場合では、平行磁化の場合に比べてドレイン電流が小さい（または、ドレイン電流がほとんど生じない）。この特徴は、換言すれば、MISFETの伝達（相互）コンダクタンスを前記強磁性ソースと前記強磁性ドレインとの間の磁化状態で制御できるということができる。

【0020】

前記強磁性ソースと前記強磁性ドレインとに強磁性金属を用いた場合には、前記強磁性ソースからスピン偏極した伝導キャリアを前記半導体層に注入し、前記強磁性ソースに対する前記強磁性ドレインの相対的な磁化状態に依存する前記強磁性ドレインでのスピン依存散乱に基づき前記MISFETの伝達コンダクタンスを制御する。

【0021】

前記強磁性ソースと前記強磁性ドレインとにハーフメタルを用いた場合には、前記強磁性ソースの前記金属的スピンバンドから一方のスピンを有する伝導キャ

リアを前記半導体層に注入する。このとき、前記強磁性ソースの前記半導体的スピンバンドによって、前記非磁性コンタクトからもう一方のスピンを有する伝導キャリアの注入を無視できるほど小さくできる。従って、前記半導体層に注入された伝導キャリアのスピン偏極率をほぼ100%にすることもできる。前記強磁性ソースと前記強磁性ドレインとが平行磁化を持つ場合では、前記半導体層に注入された伝導キャリアと平行なスピンを有する前記強磁性ドレインのスピンバンドは金属的スピンバンドであることから、伝導キャリアは前記強磁性ドレインを伝導することができる。一方、前記強磁性ソースと前記強磁性ドレインとが反平行磁化を持つ場合では、前記半導体層に注入された伝導キャリアと平行なスピンを有する前記強磁性ドレインのスピンバンドは半導体的スピンバンドとなることから、伝導キャリアは前記半導体的スピンバンドによるエネルギー障壁によって容易に前記強磁性ドレインを伝導することができない。従って、ハーフメタルを用いた場合では、前記強磁性ソースと前記強磁性ドレインとの相対的な磁化状態によって前記MISFETの伝達コンダクタンスを大きく変化させることができる。

【0022】

また、マトリックス状に配置された上記1つのトランジスタと、前記ゲート電極に接続されるワード線と、前記強磁性ソースを接地する第1の配線と、前記強磁性ドレインに接続されるビット線とを有する記憶回路が提供される。複数本のワード線が列方向に延在し、これと交差する方向（行方向）に複数本のビット線が延在する。ワード線とビット線との交点の近傍に上記トランジスタが配置される。

【0023】

上記記憶回路では、前記トランジスタ上で互いに電氣的に絶縁された状態で交差する第1の別配線及び第2の別配線とに電流を流すことにより誘起される磁場により、前記強磁性ソース又は前記強磁性ドレインの磁化を反転させ、前記強磁性ソースと前記強磁性ドレインとの間の相対的な磁化状態を変化させ情報を記憶する（又は書き換える）ことができる。

【0024】

前記第1の別配線および前記第2の別配線、又は、前記第1の別配線又は前記第2の別配線のいずれか一方に代えて、前記ワード線および前記ビット線、又は、前記ワード線又は前記ビット線のいずれか一方を用いることも可能である。

【0025】

上記記憶回路では、前記強磁性ソースと前記強磁性ドレインとが平行磁化を持つ場合におけるしきい値より大きな電圧を前記ワード線に対して印加し、前記強磁性ソースと前記強磁性ドレインとの間に所定のバイアスを印加した場合の前記トランジスタにおけるドレイン電流の大きさに基づき、情報の読み出しを行うことができる。

【0026】

さらに、上記記憶回路において、それぞれのビット線の一端に出力端子が形成され、それぞれのビット線から分岐し負荷を介して電源に接続する第2の配線を設けた記憶回路が提供される。

【0027】

この場合では、前記強磁性ソースと前記強磁性ドレインとが平行磁化を持つ場合におけるしきい値電圧より大きな電圧を前記ワード線に対して印加した場合の前記トランジスタにおけるドレイン電流の大きさによって生じる前記負荷による電圧降下に基づいて得られる出力電圧により、情報の読み出しを行うことができる。

【0028】

上記回路を用いれば、トランジスタ内の磁化状態に応じた出力電圧を負荷と電源により設計できる。また、上記トランジスタによる上記記憶回路を用いれば、高密度に集積化された不揮発性記憶装置が提供できる。

【0029】

【発明の実施の形態】

本発明に係る金属-絶縁体-半導体電界効果トランジスタ（以下、「MISFET」と称する。）は、強磁性体からなるソースに対するドレイン（以下、それぞれ、「強磁性ソース」、「強磁性ドレイン」と称する。）の相対的な磁化の方向として情報を記憶し、この相対的な磁化方向に依存する伝達特性を利用して記

憶された情報を読み出す。従って、本発明に係るMISFETを用いると、トランジスタ単体で1ビットの不揮発性メモリセルを構成できることから、高速・大容量の不揮発性メモリを実現することが可能となる。

まず、本発明の第1の実施の形態によるMISFETについて図面を参照しつつ説明を行う。

【0030】

図1は、本実施の形態によるMISFETの断面構造を示す図である。図1に示すように、本実施の形態によるMISFETは、一般的なMISFET（例えばSiMOSFETなど）と同様のゲート電極7と、ゲート絶縁膜11と、非磁性の半導体層1からなるMIS構造と、非磁性の半導体層1との間でショットキー接合を形成する強磁性体からなるソース（強磁性ソース）3とドレイン（強磁性ドレイン）5とを有している。強磁性ソースおよび強磁性ドレインには、Fe、Ni、Co、パーマロイなどの強磁性金属や、Co₂MnSiなどのホイスラーアロイ（Heusler alloy）、CrO₂、Fe₃O₄（Magnetite）などのハーフメタルを用いることができる。また、強磁性金属的なバンド構造を有する強磁性半導体やハーフメタルとなるバンド構造を有する強磁性半導体を用いることもできる。強磁性ソース3と強磁性ドレイン5は、強磁性体を非磁性の半導体層1上にエピタキシャル成長又は堆積により形成する。或いは、熱拡散またはイオン注入などの方法により非磁性の半導体層1中に磁性原子を導入することによって形成しても良い。また、図中の強磁性ソースと強磁性ドレイン上に示した矢印は磁化方向を示す。

【0031】

本実施の形態によるMISFETでは、非磁性の半導体層（または半導体基板）1と同じ伝導型のキャリアを伝導キャリアとすることが可能であり、或いは、非磁性の半導体層1と反対の伝導型のキャリアを誘起して伝導キャリアとすることもできる。ここでは、便宜上、前者を蓄積チャネル型と称し、後者を反転チャネル型と称する。nチャネルのMISFETを構成する場合には、蓄積チャネル型ではn型半導体を用いる。同様に、pチャネルのMISFETの場合には、蓄積チャネル型ではp型半導体を用い、反転チャネル型ではn型半導体を用いる。

ャネル型では n 型半導体を用いる。以後、n チャネルの蓄積チャネル型を蓄積 n チャネル型と称し、n チャネルの反転チャネル型を反転 n チャネル型と称する。p チャネルに対しても、n チャネルの場合と同様に蓄積 p チャネル型、反転 p チャネル型と呼ぶ。

【0032】

また、実際のチャネルの有無に関わらず、ゲート絶縁膜/半導体界面の直下の半導体領域をチャネル領域と呼ぶ。以下、強磁性ソースと強磁性ドレインとに強磁性金属を用いた場合と、ハーフメタルを用いた場合とのそれぞれにおける蓄積 n チャネル型と反転 n チャネル型トランジスタのエネルギーバンド構造について説明する。尚、以下において詳細な説明は省略するが、同様にして蓄積 p チャネル型と反転 p チャネル型の M I S F E T を構成できる。本発明では、エンハンスメント型及びデプレッション型の M I S F E T を構成することができるが、以下ではエンハンスメント型について述べる。また本来“スピン”といった用語はスピン角運動量に関連して用いる用語であるが、以下ではアップスピンを有する電子を単にアップスピンなどと呼ぶようにキャリアの意味でも用いる。

【0033】

図 2 (A) 及び図 2 (B) は、強磁性体として強磁性金属を用いた場合のエネルギーバンド図であり、図 3 (A) 及び図 3 (B) は、強磁性体として、ハーフメタルを用いた場合のエネルギーバンド図である。

【0034】

図 2 (A) は、強磁性ソース及び強磁性ドレインに強磁性金属を用いた場合の、蓄積 n チャネル型 M I S F E T のチャネル領域近傍におけるエネルギーバンド構造を示す図である。強磁性ソース 3 と強磁性ドレイン 5 は、非磁性の n 型半導体層 1 と強磁性金属 (3, 5) とをショットキー接合することによって形成する。図 2 (A) における強磁性ソース 3 およびドレイン 5 上に示した実線と n 型半導体層 1 上に示した点線は、フェルミエネルギー E_F を表す。 E_G は半導体のバンドギャップを表す。

【0035】

E_C と E_V は、それぞれ半導体層 1 の伝導バンドの底と価電子バンドの頂上を表

す。 E_F 、 E_C 、 E_V 、 E_G は、以下の図でも同様の意味で用いる。 ϕ_n は強磁性金属とn型半導体とのショットキー接合の障壁高さである。すなわち、フェルミエネルギー E_F と接合界面におけるn型半導体層1の伝導体底 E_C とのエネルギー差を表す。また、強磁性ソース3と強磁性ドレイン5のフェルミエネルギー上に示した矢印は多数スピンの向きを表し、上向きであればアップスピン、下向きであればダウンスピンを表す。また、少数スピンの表示は省略している。以下、強磁性金属を用いる場合には同様にして多数スピンの向きをバンド図上に表示する。

【0036】

図2 (B) は、強磁性ソースと強磁性ドレインとに強磁性金属を用いた場合の、反転nチャネル型MISFETのチャネル領域近傍におけるバンド構造を示す図である。強磁性金属からなる強磁性ソース3及び強磁性ドレイン5とp型半導体層1とが、ショットキー接合を形成している。 ϕ_p は強磁性金属とp型半導体層1とのショットキー接合の障壁高さであり、フェルミエネルギー E_F と接合界面におけるp型半導体層の価電子バンド頂上 E_V とのエネルギー差である。 ϕ_n は、フェルミエネルギー E_F と接合界面におけるp型半導体層の伝導バンド底 E_C とのエネルギー差を表す。

【0037】

図3 (A) は、強磁性ソースと強磁性ドレインとにハーフメタルを用いた場合における蓄積nチャネル型MISFETのチャネル領域近傍におけるバンド構造を示す図である。ハーフメタルは、一方のスピンに対しては金属的なバンド構造（以下、「金属的スピンバンド」と称する。）をとるが、もう一方（他方）のスピンに対して半導体（絶縁体）的となるバンド構造（以下、「半導体的スピンバンド」と称する。）を有する。すなわち、ハーフメタルでは、一方のスピンに対しては途中まで占有されたバンドを有し、他方のスピンに対しては完全に満たされたバンド（価電子バンド）がバンドギャップによって空のバンド（伝導バンド）と分離している。従って、フェルミエネルギー E_F は、一方のスピンの金属的スピンバンドを横切るが、他方のスピンに対してはバンドギャップ中を横切り、キャリアの伝導は、金属的スピンバンドに属する一方のスピンのみが担うことになる。

【0038】

図3 (A) において、強磁性ソース3 aおよび強磁性ドレイン5 a上中央に示した実線はハーフメタルにおけるフェルミエネルギー E_F である。すなわち、 E_F は、金属的スピンバンドのフェルミ面となる。また、 E_F の上下に示した実線 E_C^{HM} 、 E_V^{HM} は、それぞれ、半導体的スピンバンドにおける伝導バンドの底および価電子バンドの頂上を表す。 E_C^{HM} は、ハーフメタル(3 a・5 a)の半導体的スピンバンドのバンドギャップを表す。ハーフメタル(3 a・5 a)を用いて蓄積nチャネル型のMISFETを形成する場合には、ハーフメタル(3 a・5 a)における金属的スピンバンドとn型半導体層1とが、障壁高さ ϕ_n のショットキー接合を形成する必要がある。また、この接合によって、ハーフメタル(3 a・5 a)における半導体的スピンバンドにおける伝導バンドの底は、n型半導体層1の伝導バンドの底よりも高いエネルギーを有し、エネルギー不連続 ΔE_C を形成するようにすることが好ましい。

【0039】

エネルギー不連続 ΔE_V は、ハーフメタル(3 a・5 a)における半導体的スピンバンドの価電子バンド頂上のエネルギーと接合界面におけるn型半導体層1における価電子バンド頂上のエネルギーとのエネルギー差である。以下でも、同様にハーフメタルを強磁性ソース3 aと強磁性ドレイン5 aとに用いた場合に、半導体的スピンバンドにおける伝導バンドおよび価電子バンドの半導体層1との接合界面におけるエネルギー不連続量を、それぞれ ΔE_C と ΔE_V とする。

【0040】

また、図中には、ハーフメタルからなる強磁性ソース3 aと強磁性ドレイン5 aに接合された非磁性コンタクト3 b・5 bのフェルミエネルギーも示してある。従って、図1の強磁性ソース3は、ハーフメタルを用いた場合では、強磁性ソース3 aと非磁性コンタクト3 bからなる。強磁性ドレインについても同様である。また、以下で強磁性金属又はハーフメタルの指定なく強磁性ソース3又は強磁性ドレイン5と記述する場合は強磁性ソース3 aと強磁性ドレイン5 aを含むものとする。 ϕ_n' は、この非磁性コンタクト3 b・5 bのフェルミエネルギー E_F とハーフメタル(3 a・5 a)における半導体的スピンバンドにおける伝導

バンド E_C^{HM} とのエネルギー差である。

【0041】

図3 (B) に、強磁性ソースと強磁性ドレインとにハーフメタルを用いた場合の反転 n チャンネル型 M I S F E T のチャンネル領域近傍におけるバンド構造を示す。

【0042】

強磁性ソース 3 a と強磁性ドレイン 5 a とは、p 型半導体層 1 とハーフメタルの金属的スピンバンドとをショットキー接合することによって形成する必要がある。 ϕ_p は、ハーフメタル (3 a · 5 a) における金属的スピンバンドと p 型半導体層 1 とのショットキー接合の障壁高さである。 ϕ_n は、ハーフメタル (3 a · 5 a) におけるフェルミエネルギー E_F と接合界面における p 型半導体層 1 の伝導体底 E_C とのエネルギー差を表す。また、ハーフメタル (3 a · 5 a) の半導体的スピンバンドにおける伝導バンド底は、p 型半導体層 1 の伝導体底に比べてエネルギーが高く、 ΔE_C のエネルギー不連続を生じている必要がある。

【0043】

また ϕ_n' 及び ϕ_p' は、それぞれ、フェルミエネルギーとハーフメタル (3 a · 5 a) における半導体的スピンバンドの伝導バンド底 E_C^{HM} 及び価電子バンド頂上 E_V^{HM} との差である。

【0044】

以下に、上述した本実施の形態による各 M I S F E T の動作原理について図面を参照して説明を行う。本実施の形態による M I S F E T において、強磁性ソースはチャンネルにスピンを注入するスピンインジェクタとして機能し、また、強磁性ドレインはチャンネルに注入された伝導キャリアのスピンの向きを電気信号として検出するスピナナライザとして機能する。本実施の形態による M I S F E T では、上述のように強磁性ソースと強磁性ドレインとに、強磁性金属を用いることもできるし、ハーフメタルを用いることも可能である。さらに、ソースとドレインの一方が強磁性金属、他方がハーフメタルでも良い。

【0045】

以下、強磁性ソースに対する強磁性ドレインの相対的な磁化の方向が同方向で

ある場合を平行磁化とし、これらの相対的な磁化方向が互いに反対方向の場合を反平行磁化とする。また、MISFETのチャネル長は、スピンの緩和距離より十分短いものとし、また、ゲート電圧によるRashba効果を無視する。

【0046】

図4 (A) から図4 (D) までを参照して強磁性ソースと強磁性ドレインとに強磁性金属を用いた蓄積nチャネル型MISFETの動作原理を説明する。図4 (A) は平衡状態におけるエネルギーバンド図であり、図2 (A) に対応する図である。

【0047】

図4 (A) の平衡状態から、強磁性ソース3とゲート電極7との間にバイアス V_{GS} を与えずに ($V_{GS}=0$)、強磁性ソース3と強磁性ドレイン5との間にバイアス V_{DS} を印加すると、 V_{DS} を強磁性ソース3のショットキー接合と強磁性ドレイン5のショットキー接合とで分圧し、図4 (B) に示すようなポテンシャルとなる。強磁性ドレイン5のショットキー接合は順バイアスされており、チャネル中央部の伝導帯の底から見たドレイン側ショットキー接合の障壁高さは減少（または消失）するが、強磁性ソース3のショットキー接合は、逆バイアスされており、チャネル中央部の伝導帯の底から見たソース側ショットキー接合では障壁高さが増加する。このとき、 V_{DS} は、強磁性ソース3のフェルミエネルギー E_F がソース側ショットキー障壁のバンド端を横切るように印加するが、トンネル効果による電流はほとんど生じない程度の大きさのバイアスである。すなわち、ソース側ショットキー接合界面から強磁性ソース3のフェルミエネルギーとこのショットキー障壁のバンド端とが交差するまでの距離 d は、強磁性ソース3からチャネルにキャリアのトンネル効果が生じない程度に十分厚い。ソース側のショットキー接合は逆バイアスされているため、強磁性ソース3から高さ ϕ_n の障壁を熱的に乗り越えるキャリアによるショットキー接合の逆方向飽和電流程度の電流が生じるが、 ϕ_n を適切に選定することによりこの電流成分を十分に抑制し、小さくすることが可能である。従って、 $V_{GS}=0$ ではMISFETは遮断状態となる。

【0048】

次に、ゲート電極 7 (図 1) にバイアス $V_{GS} (> 0)$ を印加すると、ゲート電極 7 から強磁性ソース 3 に向かう電気力線によって、ソース側ショットキー障壁近傍の電界が強められ、図 4 (C) に示すようにショットキー障壁の障壁幅が減少する (図中の d')。従って、強磁性ソース 3 の伝導電子は、このポテンシャル障壁をトンネル効果によって透過してゲート絶縁膜 11 直下のチャネル領域に注入される。この際、強磁性ソース 3 からは多数スピンと少数スピンの電子が注入されるが、多数スピンのキャリア密度が少数スピンよりも大きいため注入電子はスピン偏極する。注入電子のスピン偏極率は強磁性ソース 3 のフェルミエネルギー近傍におけるスピン分極率に依存し、このスピン分極率が大きいほど注入電子のスピン偏極率は大きい。

【0049】

以下、スピン偏極した電子をスピン偏極電子と呼ぶ。スピン偏極電子の多数スピンおよび少数スピンは、それぞれ強磁性ソース 3 の多数スピンおよび少数スピンと平行である。チャネルに注入されたスピン偏極電子は、 V_{GS} によってゲート絶縁膜/半導体界面に引き付けられながら、 V_{DS} によって強磁性ドレイン 5 のショットキー障壁界面まで輸送される。強磁性ソース 3 と強磁性ドレイン 5 とが平行磁化を持つ場合では、スピン偏極電子の多数スピンと少数スピンは、それぞれ強磁性ドレイン 5 の多数スピンと少数スピンの電子とに平行である。従って、強磁性ドレイン 5 に注入されたスピン偏極電子は、スピン依存散乱をほとんど受けることなく強磁性ドレイン 5 を伝導して強磁性ドレインに流れ込む電流となる (以下、この電流を「ドレイン電流」と称する。)。特に、強磁性ソース 3 と強磁性ドレイン 5 とが平行磁化の場合に、ある定められたドレイン電流の生じる V_{GS} をしきい値 V_T とする。

【0050】

一方、強磁性ソース 3 と強磁性ドレイン 5 とが反平行磁化を持つ場合では、チャネルに注入されたスピン偏極電子のうち多数スピンは、強磁性ドレイン 5 の多数スピンと反平行である (図 4 (D))。よって、チャネルのスピン偏極電子は、強磁性ドレイン 5 においてスピン依存散乱による電気抵抗を生じる。従って、MISFET が同一バイアス下にあっても、反平行磁化の場合ではこのスピン依存

散乱によって平行磁化の場合に比べてドレイン電流が減少する。すなわち、強磁性ソース 3 と強磁性ドレイン 5 との間の相対的な磁化状態が平行磁化を持つ場合の伝達（相互）コンダクタンスに比べて、反平行磁化を持つ場合の伝達コンダクタンスは小さくなる。

【 0 0 5 1 】

図 5 (A) から図 5 (D) までは、強磁性金属をソース 3 とドレイン 5 に用いた反転 n チャネル型の M I S F E T の動作原理を示す図である。平衡状態から (図 5 (A))、 $V_{GS}=0$ の状態で $V_{DS}(>0)$ を印加すると、図 5 (B) に示すように強磁性ソース 3 が順バイアスされ、強磁性ドレイン 5 が逆バイアスされる。チャネル領域が p 型であるため、強磁性ドレイン 5 から正孔が注入されれば電流が生じるが、強磁性ドレイン 5 の逆バイアスされたショットキー接合によって正孔はほとんど注入されない。熱的に ϕ_p を乗り越えた正孔によるショットキー接合の逆方向飽和電流程度の小さな電流が生じるが、 ϕ_p を適切に選べば、この電流を十分に小さくできる。従って、 $V_{GS}=0$ の場合では M I S F E T は遮断状態となる。

【 0 0 5 2 】

ゲート電極 7 (図 1) にデバイス構造から決まるあるしきい値 V_T 以上の $V_{GS}(>V_T)$ を印加すると、ゲート絶縁膜/半導体界面に電子が誘起され反転層が形成される (従って、反転チャネル型と蓄積チャネル型ではしきい値 V_T の定義が異なるが、便宜上、いずれの場合でも、しきい値を V_T と記載する)。このとき、チャネル領域における強磁性ソース 3 および強磁性ドレイン 5 のそれぞれの接合界面では、反転層の電子に対して障壁高さ ϕ_n の障壁が形成されるが、 V_{DS} によって強磁性ドレイン 5 の接合は順バイアスされ、強磁性ソース側の接合は逆バイアスされる。従って、 $V_{GS}(>V_T)$ と $V_{DS}(>0)$ を印加した場合のチャネル領域におけるバンド構造は図 5 (C) に示すようになる。

【 0 0 5 3 】

上述のように、十分に大きな ϕ_p を選んでおけば、 $\phi_n (=E_G - \phi_p)$ は小さく、強磁性ソース 3 から熱放出によってスピン偏極電子がチャネルに注入される。また、強磁性ソース 3 からキャリアを熱放出できるほど ϕ_n が小さくなくない場

合でも、蓄積チャネル型と同様に強磁性ソース 3 側のショットキー障壁をトンネルして強磁性ソース 3 からチャネルにスピン偏極電子を注入することも可能である。

【0054】

チャネルに注入されたスピン偏極電子は、 V_{DS} によって強磁性ドレイン 5 側のショットキー障壁界面まで輸送される。強磁性ソース 3 と強磁性ドレイン 5 とが平行磁化を持つ場合では、スピン偏極電子の多数スピンと少数スピンとは、それぞれ強磁性ドレイン 5 の多数スピンと少数スピンとに対して平行である。従って、平行磁化の場合では、蓄積チャネル型の場合と同様に、強磁性ドレイン 5 に注入されたスピン偏極電子はスピン依存散乱をほとんど受けることなく強磁性ドレイン 5 を伝導してドレイン電流となる。

【0055】

一方、図 5 (D) に示すように、強磁性ソース 3 と強磁性ドレイン 5 とが反平行磁化を持つ場合では、チャネルに注入されたスピン偏極電子の多数スピンは強磁性ドレイン 5 の多数スピンと反平行である。従って、スピン偏極電子は強磁性ドレイン 5 でスピン依存散乱による電気抵抗を生じる。よって、反転チャネル型でも、強磁性ソース 3 と強磁性ドレイン 5 との間の相対的な磁化状態に基づき MISFET の伝達コンダクタンスが変化する。すなわち、同一バイアス下であっても、強磁性ソース 3 と強磁性ドレイン 5 とが反平行磁化の場合には平行磁化の場合に比べてドレイン電流は小さくなる。

【0056】

次に、強磁性体としてハーフメタルを用いた場合について説明する。図 6 (A) から図 6 (D) までを参照して、ハーフメタルを強磁性ソースと強磁性ドレインに用いた場合の蓄積 n チャネル型 MISFET の動作原理を説明する。図 6 (A) は平衡状態におけるエネルギーバンド図であり、図 3 (A) に対応する図である。

【0057】

図 6 (B) は、 $V_{GS}=0$ の状態で、 $V_{DS}(>0)$ を印加した場合のポテンシャル形状を示す図である。以下では、図 6 (B) に示すように、強磁性ソース 3 a

の金属的スピンバンドに属するスピンをアップスピンとし、半導体的スピンバンドに属するスピンをダウンスピンとする。金属的スピンバンドに属するアップスピンに対しては、半導体層 1 との接合界面において、障壁高さ ϕ_n のショットキー接合が形成されるため、 V_{DS} はソース側ショットキー接合とドレイン側ショットキー接合とによって分圧される。従って、強磁性ドレイン 5 a のショットキー接合は順バイアスされ、強磁性ソース 3 a のショットキー接合は逆バイアスされる。このとき、 V_{DS} は、強磁性ソース 3 a のフェルミエネルギー E_F がソース側ショットキー障壁のバンド端を横切るように印加するが、ショットキー接合の障壁幅 d は強磁性ソース 3 a の金属的スピンバンドからアップスピンのトンネルしない程度に厚くしておく。すなわち、 $V_{GS} = 0$ の状態では、強磁性ソース 3 a の金属的スピンバンドのアップスピンはチャネル領域へのトンネル注入が抑制されている。また、ショットキー接合の障壁高さ ϕ_n を熱的に乗り越えることによって生じるショットキー接合の逆方向飽和電流としてアップスピンのトンネル注入ができるが、 ϕ_n の値を適切に選ぶことによりこの電流値を十分に小さくできる。

【0058】

一方、ダウンスピンを有する強磁性ソース 3 a の半導体的スピンバンドのバンドギャップにより、強磁性ソース 3 a の半導体的スピンバンドと非磁性コンタクト 3 b との間に障壁高さ ϕ_n' のエネルギー障壁が形成される。強磁性ソース 3 a の半導体的スピンバンドには伝導キャリアが存在しないことから、ダウンスピンが半導体層 1 に注入されるためには、非磁性コンタクト 3 b からダウンスピンが強磁性ソース 3 a の半導体的スピンバンドをトンネルするか、熱的に障壁を乗り越えなければならない。強磁性ソース 3 a の膜厚を十分に厚くし、かつ、非磁性金属電極 3 b から見たエネルギー障壁の障壁高さ ϕ_n' を十分な高さを選べば、ダウンスピンがチャネル領域に注入される確率は極めて低く、キャリアの注入は生じない。従って、 $V_{GS} = 0$ の状態では、アップスピン及びダウンスピンによる電流はほとんど生じず、MISFET は遮断状態となる。

【0059】

次に、図 6 (C) に示すように、ゲート電極 7 (図 1) にバイアス $V_{GS} (> 0)$

を印加すると、ゲート電極 7 (図 1) から強磁性ソース 3 a に向かう電気力線によって、ソース側ショットキー障壁近傍の電界が強められ、強磁性ソースにおける金属的スピンバンドに対するショットキー障壁の障壁幅が減少する (図 6 (C) 中の d' 参照)。従って、強磁性ソース 3 a の金属的スピンバンドからアップスピンはこのショットキー障壁をトンネルしてゲート絶縁膜直下の半導体層 1 のチャネル領域に注入される。この際、ダウンスピンに対しては強磁性ソース 3 a の半導体的スピンバンドによる障壁高さ ϕ_n' のエネルギー障壁によって非磁性コンタクト 3 b からダウンスピンはほとんど注入されない。従って、ハーフメタルにより形成される強磁性ソース 3 a は、ほとんどアップスピンのみを注入する。

【0060】

チャネルに注入されたアップスピンは、 V_{DS} によって強磁性ドレイン 5 a 側のショットキー障壁界面まで輸送される。強磁性ソース 3 a と強磁性ドレイン 5 a とが平行磁化を持つ場合では、注入されたアップスピンは強磁性ドレイン 5 a の金属的スピンバンドのスピンと平行である。従って、強磁性ドレイン 5 a に注入されたアップスピンは、スピン依存散乱をほとんど受けることなく強磁性ドレイン 5 a を伝導して、ドレイン電流となる。特に、強磁性金属を用いた蓄積チャネル型 MISFET の場合と同様に、強磁性ソース 3 a と強磁性ドレイン 5 a とが平行磁化を持つ場合に定められたあるドレイン電流の生じる V_{GS} を V_T と定義する。

【0061】

一方、図 6 (D) に示すように、強磁性ソース 3 a と強磁性ドレイン 5 a とが反平行磁化を持つ場合には、チャネルに注入されたアップスピンは強磁性ドレイン 5 a の金属的スピンバンドのスピンと反平行となり、半導体的スピンバンドのスピンと平行となる。従って、チャネルに注入されたアップスピンは、強磁性ドレイン 5 a を障壁高さ ΔE_C のエネルギー障壁として感じる。このチャネルのアップスピンがトンネルできないように、または、熱的にこの障壁を乗り越えることができないように、強磁性ドレイン 5 a の膜厚と ΔE_C とを選んでおけば、非磁性ソース電極 3 b から注入されたアップスピンは強磁性ドレイン 5 a をほとん

ど伝導することができない。よって、ドレイン電流はほとんど生じない。従って、強磁性ドレイン 5 a におけるハーフメタルは金属的スピンバンドのスピンと平行なスピンのみを通過させ、反平行のスピンを通過させない。

【0062】

ハーフメタルからなる強磁性ソース 3 a からは、極めてスピン偏極率の高いスピン偏極電子をチャンネルに注入することができ、また、ハーフメタルにより形成された強磁性ドレイン 5 a のスピン選択率は極めて大きいため、強磁性ソース 3 a と強磁性ドレイン 5 a 間の相対的な磁化状態が反平行磁化の場合には平行磁化の場合に比べてドレイン電流は非常に小さくなる。従って、ハーフメタルを用いた場合では、通常の強磁性金属を用いた場合に比べて強磁性ソース 3 a と強磁性ドレイン 5 a との相対的な磁化状態が平行磁化である場合と反平行磁化である場合のそれぞれにおけるドレイン電流の比を極めて大きくすることができる。

【0063】

次に、ハーフメタルを強磁性ソースと強磁性ドレインとに用いた反転 n チャンネル型 MISFET の動作原理について図 7 (A) から図 7 (D) までを参照して説明する。以下でも、ハーフメタルにより形成された強磁性ソース 3 a の金属的スピンバンドに属するスピンをアップスピンとし、半導体的スピンバンドに属するスピンをダウンスピンとする。

【0064】

図 7 (A) は、平衡状態におけるエネルギーバンド図であり、図 3 (B) に対応する。まず、強磁性ソース 3 a と強磁性ドレイン 5 a とが平行磁化である場合について説明する。 $V_{GS} = 0$ の状態で V_{DS} を印加した場合、半導体層 1 が p 型半導体であるため、ドレイン側から正孔が注入されれば MISFET に電流が生じるが、強磁性ドレイン 5 a におけるハーフメタルの金属的スピンバンドによるショットキー接合が逆バイアスされ、正孔の注入が抑制されている。但し、ショットキー接合の逆方向飽和電流程度の電流は生じるが、 ϕ_p を適切に選定することによってこの電流を十分に小さくできる。

【0065】

また、強磁性ドレイン 5 a の半導体的スピンバンドによるエネルギー障壁 ϕ_p

によってドレイン側非磁性コンタクト 5 b からも、正孔の注入は抑制されている。従って、図 7 (B) に示す場合には MISFET は遮断状態となる。

【0066】

ゲート電極にしきい値 V_T 以上の V_{GS} を印加すると、ゲート絶縁膜/半導体界面に電子が誘起され反転層が形成される(従って、ハーフメタルを用いた場合でも反転チャネル型と蓄積チャネル型では V_T の定義が異なる)。この際、図 7 (C) に示すように反転層と強磁性ソース 3 a および強磁性ドレイン 5 a のそれぞれの接合界面では、ハーフメタルの金属的スピンバンドによる障壁高さ ϕ_n の障壁が形成される。

【0067】

図 7 (C) に示すように、 V_{DS} によって強磁性ドレイン 5 a 側の接合は順バイアスされ、ソース側の接合は逆バイアスされる。上述のように、十分大きな ϕ_p を選んでおけば、 $\phi_n (=E_G - \phi_p)$ は小さく、強磁性ソース 3 a の金属的スピンバンドから熱放出によってアップスピンがチャネルに注入される。また、強磁性ソース 3 a からアップスピンを熱電子注入できるほど ϕ_n が小さくない場合でも、蓄積チャネル型と同様にトンネル注入によって強磁性ソース 3 a の金属的スピンバンドからチャネルへアップスピンを注入することも可能である。一方、強磁性ソース 3 a の半導体スピンバンドによってダウンスピンは、ほとんど注入されない。

【0068】

チャネルに注入されたアップスピンは、 V_{DS} によってドレイン側の接合界面まで輸送される。強磁性ソース 3 a と強磁性ドレイン 5 a とが平行磁化を持つ場合は、チャネルに注入されたアップスピンは強磁性ドレイン 5 a における金属的スピンバンドのスピンと平行である。従って、アップスピンは強磁性ドレイン 5 a の金属的スピンバンドを伝導してドレイン電流となる。

【0069】

図 7 (D) に示すように、強磁性ソース 3 a と強磁性ドレイン 5 a とが反平行磁化を持つ場合には、チャネルに注入されたアップスピンは強磁性ドレイン 5 a の金属的スピンバンドのスピンとは反平行であり、強磁性ドレイン 5 a の半導体

的スピンバンドと平行である。従って、チャンネルに注入されたアップスピンは強磁性ドレイン 5 a を障壁高さ ΔE_C のエネルギー障壁として感じる。チャンネルのアップスピンのトンネルできないように、または、熱的に障壁高さ ΔE_C のエネルギー障壁を乗り越えることができないように、強磁性ドレイン 5 a の膜厚と ΔE_C とを選定しておけば、ドレイン電流成分はほとんど生じない。

【0070】


従って、強磁性ドレイン 5 a におけるハーフメタルは金属的スピンバンドのスピンと平行なスピンのみを通過させることから、強磁性ソース 3 a と強磁性ドレイン 5 a との間の相対的な磁化状態により伝達コンダクタンスを制御することができる。すなわち、強磁性ソース 3 a と強磁性ドレイン 5 a とが反平行磁化を持つ場合には平行磁化の場合に比べてドレイン電流は小さくなる。

上述の強磁性金属またはハーフメタルによる強磁性ソース（3 又は 3 a）および強磁性ドレイン（5 又は 5 a）を有する MISFET において、半導体層 1 をアンドープの半導体又は真性半導体に置き換えることもできる。

この場合の MISFET の動作原理は、強磁性金属またはハーフメタルを強磁性ソースおよび強磁性ドレインに用いた蓄積チャンネル型 MISFET の場合と同様であるが、この MISFET では、チャンネル領域を真性半導体で構成しているため、チャンネル領域における不純物散乱の影響がなく、伝導キャリアに関して大きな移動度を期待することができる。特に、ナノスケールの短チャンネルの MISFET では、高速化に有効なキャリアのバリスティック伝導も期待できる。また、この MISFET では、極微細化した低しきい値の MISFET を高密度に集積化した場合においても、しきい値のバラツキは本質的に生じないという利点がある。さらに、真性半導体チャンネルは、SOI 構造にも適する。従って、真性半導体をチャンネル領域に用いることにより、本発明の MISFET 及びこれを用いた不揮発性メモリ（後述）の性能を一層向上させることができる。

【0071】

次に、上記各実施の形態による MISFET の出力特性を示す。図 8 は V_{GS} をパラメータとしたドレイン電流 I_D の V_{DS} 依存性を示す図である。本実施の形態による MISFET では、強磁性ソース 3 および強磁性ドレイン 5 に強磁性金属



又はハーフメタルのいずれを用いた場合でも、また反転チャネル型と蓄積チャネル型のいずれの場合においても、ゲート電極7に対してデバイス構造から決まるあるしきい値 V_T 以下の電圧を印加した場合にはMISFETは遮断状態である。これは強磁性ソース3と強磁性ドレイン5の相対的な磁化状態によらない。

【0072】

ゲート電極7に対してしきい値以上の電圧 V_1 ($> V_T$) を印加すれば、トランジスタを導通状態にすることができる。このとき、強磁性ソース3に対する強磁性ドレイン5の相対的な磁化状態によって、強磁性ソース3と強磁性ドレイン5間に生じるドレイン電流 I_D の大きさが異なる。すなわち、同一バイアス下であっても平行磁化の場合ではドレイン電流 I_D が大きく（図中の $I_D \uparrow \uparrow$ ）、反平行磁化の場合ではドレイン電流 I_D が小さい（図中の $I_D \uparrow \downarrow$ ）。この特徴を換言すれば、MISFETの伝達（相互）コンダクタンスを強磁性ソース3と強磁性ドレイン5との間の磁化状態で制御することと等価である。したがって、本実施の形態のMISFETは、ゲート電極7に印加する電圧によりドレイン電流 I_D を制御できるとともに、強磁性ソース3に対する強磁性ドレイン5の相対的な磁化状態に依存する伝達コンダクタンスを合わせ持つ。

【0073】

強磁性体では、外部から保磁力以上の磁場が印加されない限り磁化の方向を保持することができる。このため、本実施の形態によるMISFETでは、強磁性ソースと強磁性ドレインとの相対的な磁化状態を平行磁化または反平行磁化にすることによって2値の情報を記憶することができる。

【0074】

また、上記MISFETは、上述のように、ドレイン電流の大きさ、または、伝達コンダクタンスの大きさに基づいて、強磁性ソースと強磁性ドレインとの間の相対的な磁化状態を電氣的に検出することができる。従って、上記MISFETは、1つのMISFETにより1ビットの不揮発性メモリセルを構成することができる。

【0075】

図9（a）は、本実施の形態によるMISFETを用いたメモリ回路の一構成

例を示す図である。図9(a)に示すメモリ回路では、MISFETを多数マトリクス状に配置し、ソース端子Sを接地してドレイン端子Dとゲート端子Gとをそれぞれ読み出し用ビット線BLと読み出し用ワード線WLとに接続している。また、書き換え用ワード線と書き換え用ビット線を、上記MISFET上で他の配線と電氣的に絶縁した状態で交差するように配置する。この書き換え用ワード線と書き換え用ビット線として、上記の読み出し用ビット線BLと読み出し用ワード線WLとを併用しても良い。図9(a)は、併用した場合のセル構成を示す図である。図9(a)の場合では、MISFET単体でメモリセルを構成できるとともに、配線に関しても非常に単純な構成にすることができる。

【0076】

従来の構成によるMRAMのメモリセルは、1つのMTJと1つのMISFETと4本の配線(図10参照)の構成を有しており、MTJおよび書き換え用ワード線の存在によってソースを隣り合ったセルで共用してセル面積を小さくするなどの工夫が困難であった。これに対して、本実施の形態によるメモリセルでは、図9(a)に示すように、1つのMISFETと3本の配線のみの最も単純な構成でメモリセルを構成することができるため、微細化に適したレイアウトを容易に構成することができる。

【0077】

例えば、2つの本実施の形態によるMISFETの強磁性ソースを1つの強磁性ソースで共通とした構造を形成することも可能である。図11は、共通ソース構成を有するメモリセルの断面構造例を示す図である。図11に示すメモリセル構造は、互いに隣接する第1MISFETと第2MISFETと、第1MISFETのゲート電極G1と第2MISFETのゲート電極G2とを共通接続するワード線WLと、第1MISFETの第1の強磁性ドレインD1と接続する第1ビット線BL1と、第2の強磁性ドレインD2と接続する第2ビット線BL2と、第1及び第2MISFETに共通の強磁性ソースSと、これを接地する配線とを有する。上記構造を用いると、ソースを共通とするために、さらに高密度化に適したセル構成となる。

【0078】

以下、図9(a)を用いて、メモリセルの動作を説明する。上述した書き換え／読み出し用ビット線および書き換え／読み出し用ワード線をそれぞれ共用する場合として、単に、それぞれビット線BL、ワード線WLと呼ぶ。情報の書き換えは、本実施の形態によるMISFETにおける強磁性ソース3または強磁性ドレイン5の保持力を変えておくか一方の磁化方向を固定しておき、強磁性ソース3に対する強磁性ドレイン5の相対的な磁化方向を平行磁化または反平行磁化にすることによって行うことができる。平行磁化または反平行磁化の磁化状態を“0”または“1”の2値の情報に対応させる。具体的には、選択したメモリセル上で交差するビット線BLとワード線WLとに電流を流し、それぞれの配線に流れる電流によって誘起される磁界の合成磁界によって選択されたメモリセルのうち、保持力の小さな強磁性体または磁化方向の固定されていない強磁性体の磁化を反転させて情報を記憶する。この際、選択したセルと同一のビット線BL又はワード線WLに接続している非選択セルが磁化反転しないようにするため、一方の配線のみからの磁界では磁化反転を生じないようにそれぞれの配線に流す電流値を設定しておく。

【0079】

情報の読み出しは、選択セルに接続されたワード線WLに電圧を印加して本実施の形態によるMISFETを導通させてから、ビット線BLにドレイン電圧を印加してドレイン電流 I_D の大きさを検出する。本実施の形態によるMISFETでは、強磁性ソースと強磁性ドレインとの相対的な磁化状態が平行磁化の場合では伝達コンダクタンスが大きく、大きな I_D を生じるが、反平行磁化の場合では伝達コンダクタンスが小さく I_D も小さい。従って、 I_D の大きさに基づき、強磁性ソースと強磁性ドレインとの相対的な磁化状態を検出することができる。

【0080】

通常のMTJにおいて、平行磁化における電流は両強磁性電極における多数スピンの状態密度間のトンネルと少数スピンの状態密度間のトンネルによって生じ、反平行磁化の場合では少数スピンの状態密度から多数スピンの状態密度へのトンネルと多数スピンの状態密度から少数スピンの状態密度へのトンネルによって生じる。従って、平行磁化および反平行磁化の場合に流れる電流に少数スピンの

よる電流成分が含まれるため、平行磁化と反平行磁化とのそれぞれの場合における電流の比は、容易には大きくできない。

【0081】

一方、本実施の形態によるハーフメタルを強磁性ソースと強磁性ドレインとに用いたMISFETでは、ハーフメタルと半導体層との接合によって強磁性ソースでは金属的スピンバンドに属する一方のスピンのみをチャンネルに注入することができ、さらに、強磁性ドレインでは金属的スピンバンドのスピンと平行なスピンのみをチャンネルから取り出しドレイン電流とすることができる（以下、このハーフメタルによる作用を「スピントラフィルタ効果」と称する。）。

【0082】

従って、本実施の形態によるハーフメタルを強磁性ソースと強磁性ドレインに用いたMISFETでは、平行磁化と反平行磁化とのそれぞれの場合における電流の比（ドレイン電流比）は、MTJの場合における電流比に比べて大きくすることができる。よって、本実施の形態によるMISFETを用いれば、上記メモリ回路において容易に磁化状態を検出することができる。

【0083】

また、MTJではTMR比がバイアス電圧とともに急激に減少するため、回路に必要なバイアス下ではTMR比が大きく減少してしまう問題もあった。これに対して、本実施の形態によるMISFETでは、強磁性金属によるスピン依存散乱またはハーフメタルによるスピントラフィルタ効果を用いているためMTJのようなバイアス依存性は原理的に存在しない。従って、回路に必要なバイアス下で大きなドレイン電流比を実現できる。

【0084】

図9（b）は、図9（a）に示すメモリ回路のビット線端に出力端子 V_O と、この出力端子 V_O から分岐して負荷 R_L を介し電源電圧 V_{DD} に接続したメモリ回路である。図9（c）に、図9（b）に示したメモリセルの静特性と動作点を示す。ここでは、負荷として純抵抗を用いているが、トランジスタによる能動負荷を用いても良い。図9（c）に示すように、情報の読出し時にはMISFETのゲート電極にゲート電圧 V_{GS} を印加し、ビット線 B_L に負荷抵抗 R_L を介して電源

電圧 V_{DD} を印加すれば、負荷抵抗 R_L による動作点は、強磁性ソースと強磁性ドレインとの間の磁化状態に応じて図 9 (c) 中の負荷直線上を動き、平行磁化と反平行磁化との場合の出力信号 V_O はそれぞれ図中の $V_{O\uparrow\uparrow}$ と $V_{O\uparrow\downarrow}$ となる。それぞれの出力信号の絶対値および比 ($V_{O\uparrow\uparrow}/V_{O\uparrow\downarrow}$) は、 R_L 、 V_{DD} などの外部回路のパラメータにより最適化することができる。例えば、負荷直線の傾きを調整する（この場合には小さくする）ことにより、ドレイン電流比 $I_{D\uparrow\uparrow}/I_{D\uparrow\downarrow}$ が小さい場合でも大きな出力信号比を得ることができる。従って、本実施の形態による記憶回路では、所望の大きさの出力信号を得ることができるという利点を有する。

【0085】

以上、説明したように、本発明の実施の形態による強磁性ソースと強磁性ドレインとを備えた MISFET によれば、ドレイン電流をゲート電圧で制御できるトランジスタとして機能を備えるとともに、その伝達（相互）コンダクタンスを強磁性ソースと強磁性ドレインとの相対的な磁化の向きによって制御できるという特徴的な特性を併せ持つ。強磁性ソースと強磁性ドレイン間の相対的な磁化の向きはエネルギーを供給しなくても前の状態を保持することができるいわゆる不揮発性の性質を有する。従って、この相対的な磁化の向きによって 2 値の情報を不揮発性に記憶することができる。さらに、上述の伝達特性を用いれば、この相対的な磁化の向きを電気的に検出することができる。すなわち、上記 MISFET は、1 つのトランジスタのみで 1 ビットの非揮発性メモリセルを構成することができる。従って、本実施の形態による MISFET を用いれば、不揮発性メモリセルの構成を単純にできるため、不揮発性記憶回路の速度及び集積度を向上させることができるという利点がある。

【0086】

以上、本発明の実施の形態に沿って説明したが、本発明はこれらに制限されるものではない。その他、種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0087】

【発明の効果】

強磁性金属又はハーフメタルを用いたショットキー接合による強磁性ソースと強磁性ドレインとを備えた本発明のMISFETによれば、強磁性ソースに対する強磁性ドレインとの相対的な磁化の向きによって2値の情報を記憶することができるとともに、この相対的な磁化の向きを電氣的に検出することができる。従って、上記MISFETを用いれば、1つのトランジスタのみで1ビットの不揮発性メモリセルを構成することができるため、高速かつ高集積密度の不揮発性記憶回路の実現が可能になる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態によるMISFETの概略構成を示す断面図である。

【図2】

図2(A)は、強磁性ソースと強磁性ドレインに強磁性金属を用いた図1の構造における蓄積nチャネル型MISFETの強磁性ソース／半導体層／強磁性ドレインのエネルギーバンド図である。図2(B)は、反転nチャネル型MISFETにおける強磁性ソース／半導体層／強磁性ドレインのエネルギーバンド図である。

【図3】

図3(A)は、強磁性ソースと強磁性ドレインにハーフメタルを用いた図1の構造における蓄積nチャネル型MISFETの強磁性ソース／半導体層／強磁性ドレインのエネルギーバンド図である。図3(B)は、反転型nチャネルMISFETにおける強磁性ソース／半導体層／強磁性ドレインのエネルギーバンド図である。

【図4】

図2(A)のエネルギーバンド構造を有するMISFETの動作原理を示す図であり、図4(A)は平衡状態におけるエネルギーバンド図であり、図4(B)は、強磁性ソースと強磁性ドレインが平行磁化の場合において V_{DS} を印加した場合のエネルギーバンド図であり、図4(C)は、図4(B)の状態からさらに V_{GS} を印加した場合のエネルギーバンド図であり、図4(D)は、図4(C)と同

じバイアス下において強磁性ソースと強磁性ドレインが反平行磁化の場合のエネルギーバンド図である。

【図 5】

図 2 (B) のエネルギーバンド構造を有する MISFET の動作原理を示す図であり、図 5 (A) は平衡状態におけるエネルギーバンド図であり、図 5 (B) は、強磁性ソースと強磁性ドレインが平行磁化の場合において V_{DS} を印加した場合のエネルギーバンド図であり、図 5 (C) は、図 5 (B) の状態からさらに V_{GS} を印加した場合のエネルギーバンド図であり、図 5 (D) は、図 5 (C) と同じバイアス下において強磁性ソースと強磁性ドレインが反平行磁化の場合のエネルギーバンド図である。

【図 6】

図 3 (A) のエネルギーバンド構造を有する MISFET の動作原理を示す図であり、図 6 (A) は平衡状態におけるエネルギーバンド図であり、図 6 (B) は、強磁性ソースと強磁性ドレインが平行磁化の場合において V_{DS} を印加した場合のエネルギーバンド図であり、図 6 (C) は、図 6 (B) の状態からさらに V_{GS} を印加した場合のエネルギーバンド図であり、図 6 (D) は、図 6 (C) と同じバイアス下において強磁性ソースと強磁性ドレインが反平行磁化の場合のエネルギーバンド図である。

【図 7】

図 3 (B) のエネルギーバンド構造を有する MISFET の動作原理を示す図であり、図 7 (A) は平衡状態におけるエネルギーバンド図であり、図 7 (B) は、強磁性ソースと強磁性ドレインが平行磁化の場合において V_{DS} を印加した場合のエネルギーバンド図であり、図 7 (C) は、図 7 (B) の状態からさらに V_{GS} を印加した場合のエネルギーバンド図であり、図 7 (D) は、図 7 (C) と同じバイアス下において強磁性ソースと強磁性ドレインが反平行磁化の場合のエネルギーバンド図である。

【図 8】

本実施の形態による MISFET のソース接地のドレイン電流－電圧特性の概念図である。

【図 9】

図 9 (a) は、本実施の形態による M I S F E T を用いたメモリ回路の一構成例を示す図である。図 9 (b) は、図 9 (a) に示すメモリ回路のビット線端に出力端子 V_o と、この出力端子 V_o から分岐して負荷 R_L を介し電源電圧 V_{DD} に接続したメモリ回路である。図 9 (c) は、図 9 (b) に示したメモリセルの静特性と動作点を示す図である。

【図 10】

一般的な M R A M に用いられるメモリセルの構造を示す断面図である。

【図 11】

本実施の形態によるメモリセル構造の一例であり、強磁性ソースを共通にした構成例を示す図である。

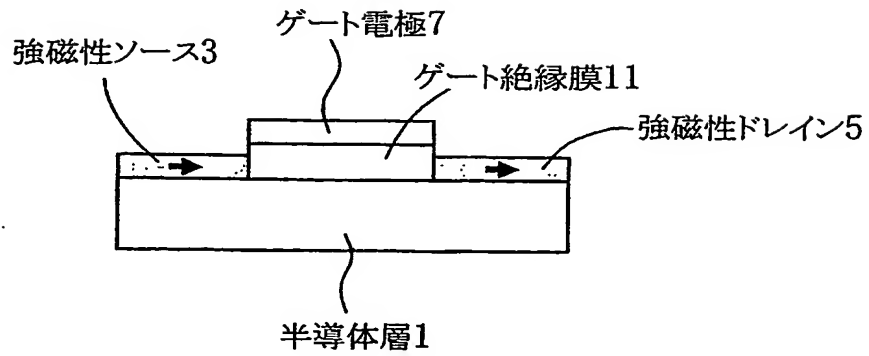
【符号の説明】

1…半導体層、3…強磁性ソース、3 a…ハーフメタルによる強磁性ソース、3 b…非磁性コンタクト、5…強磁性ドレイン、5 a…ハーフメタルによる強磁性ドレイン、5 b…非磁性コンタクト、7…ゲート電極、11…ゲート絶縁膜、B L…ビット線、W L…ワード線、D…ドレイン、G…ゲート、S…ソース。

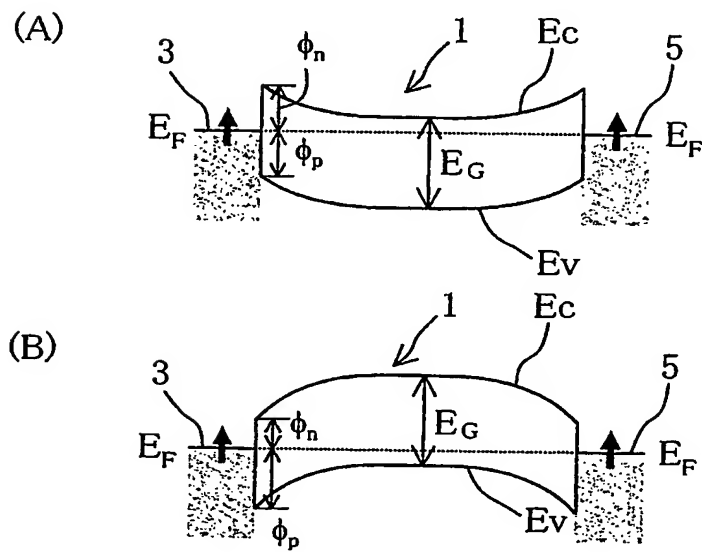
【書類名】

図面

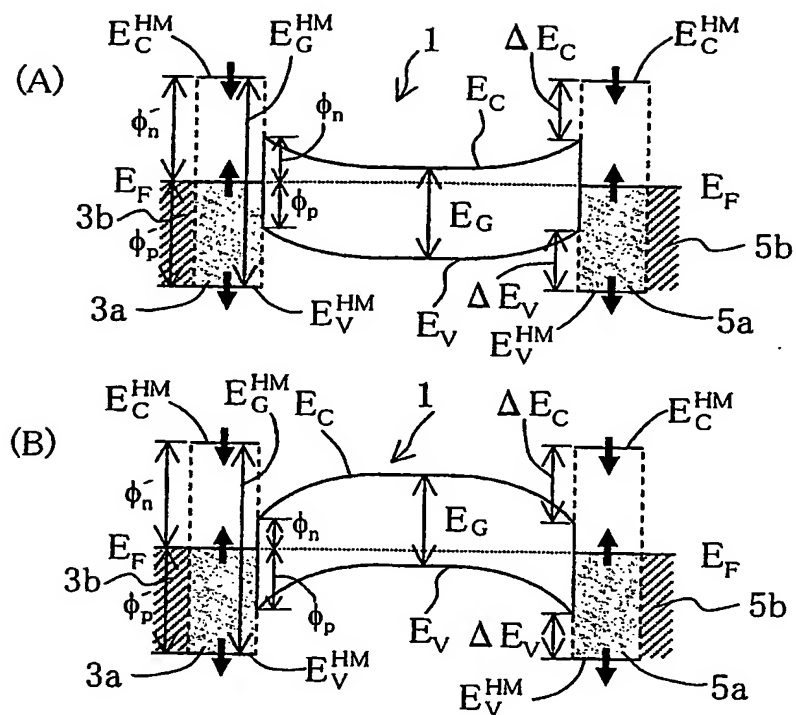
【図 1】



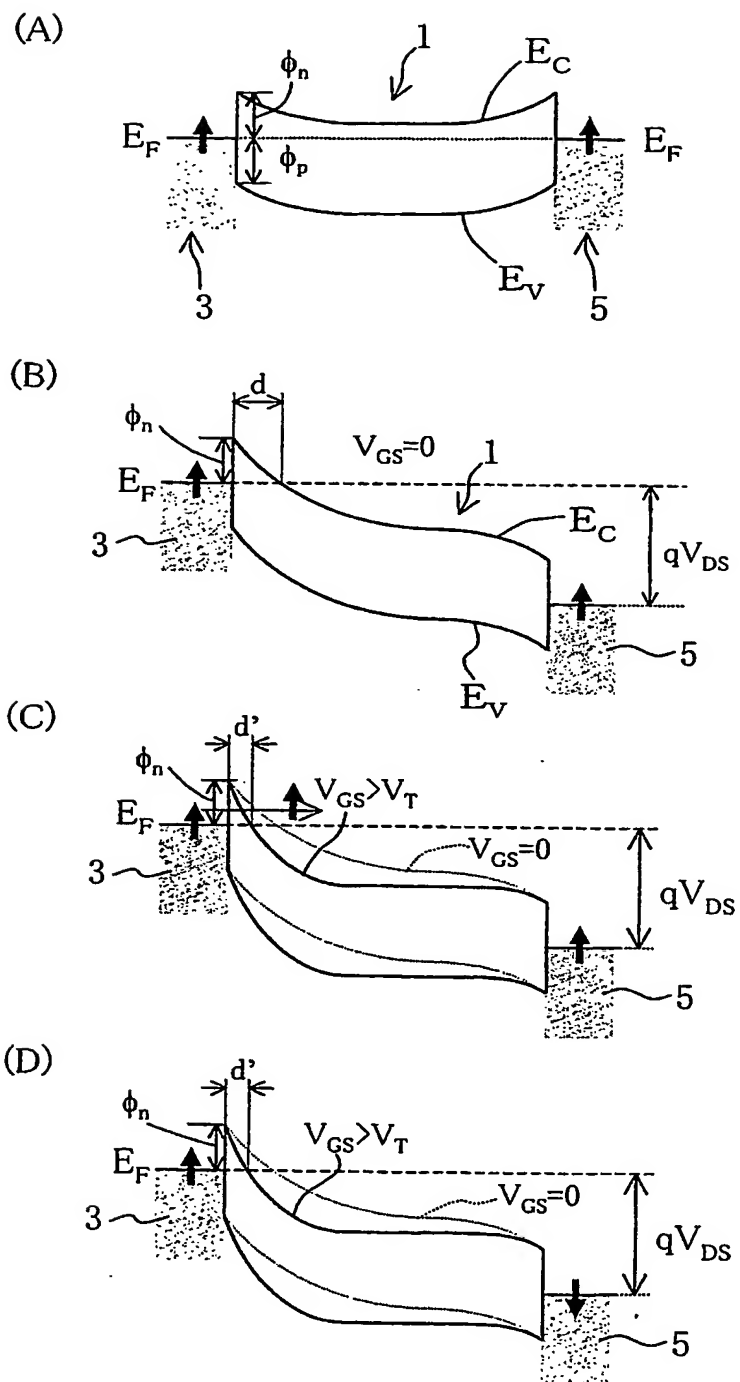
【図 2】



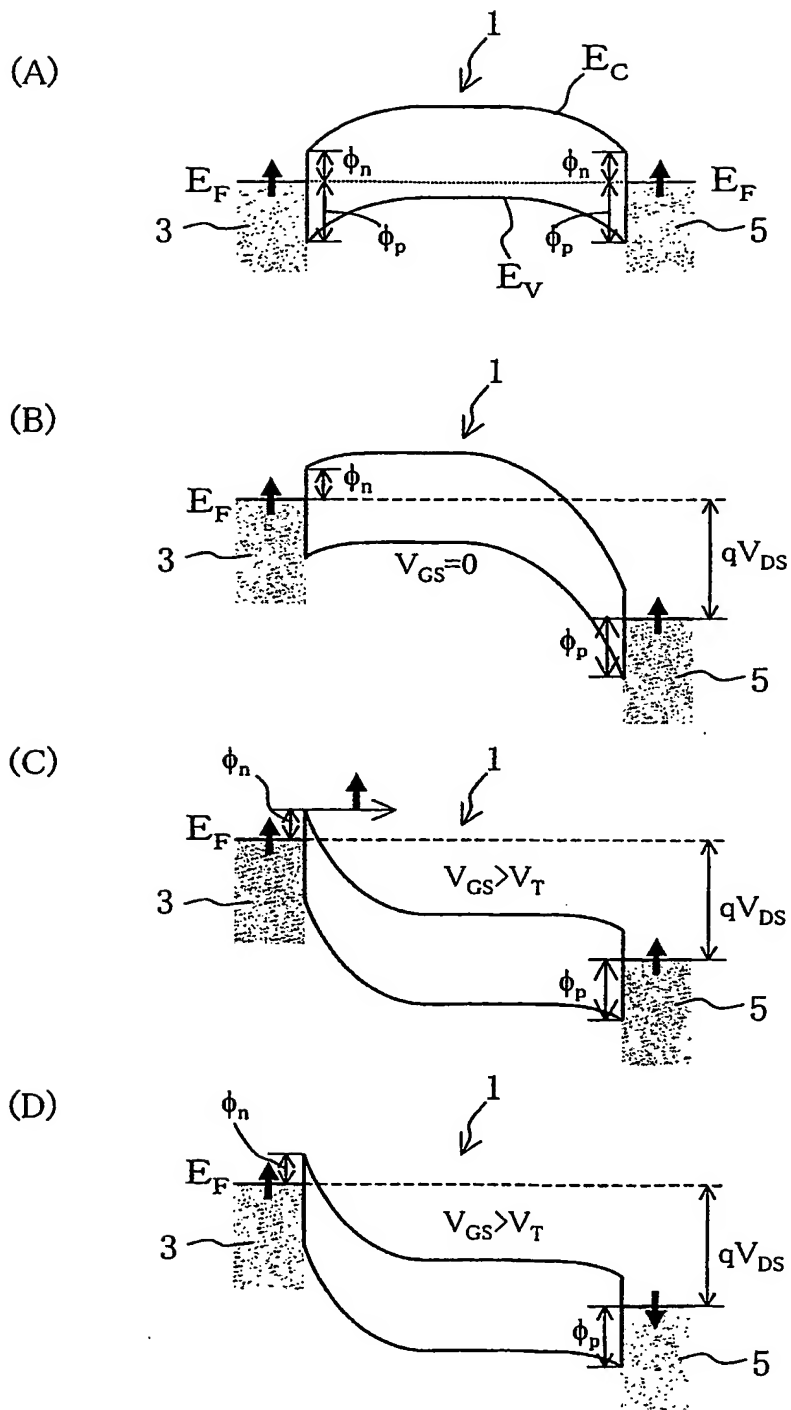
【図 3】



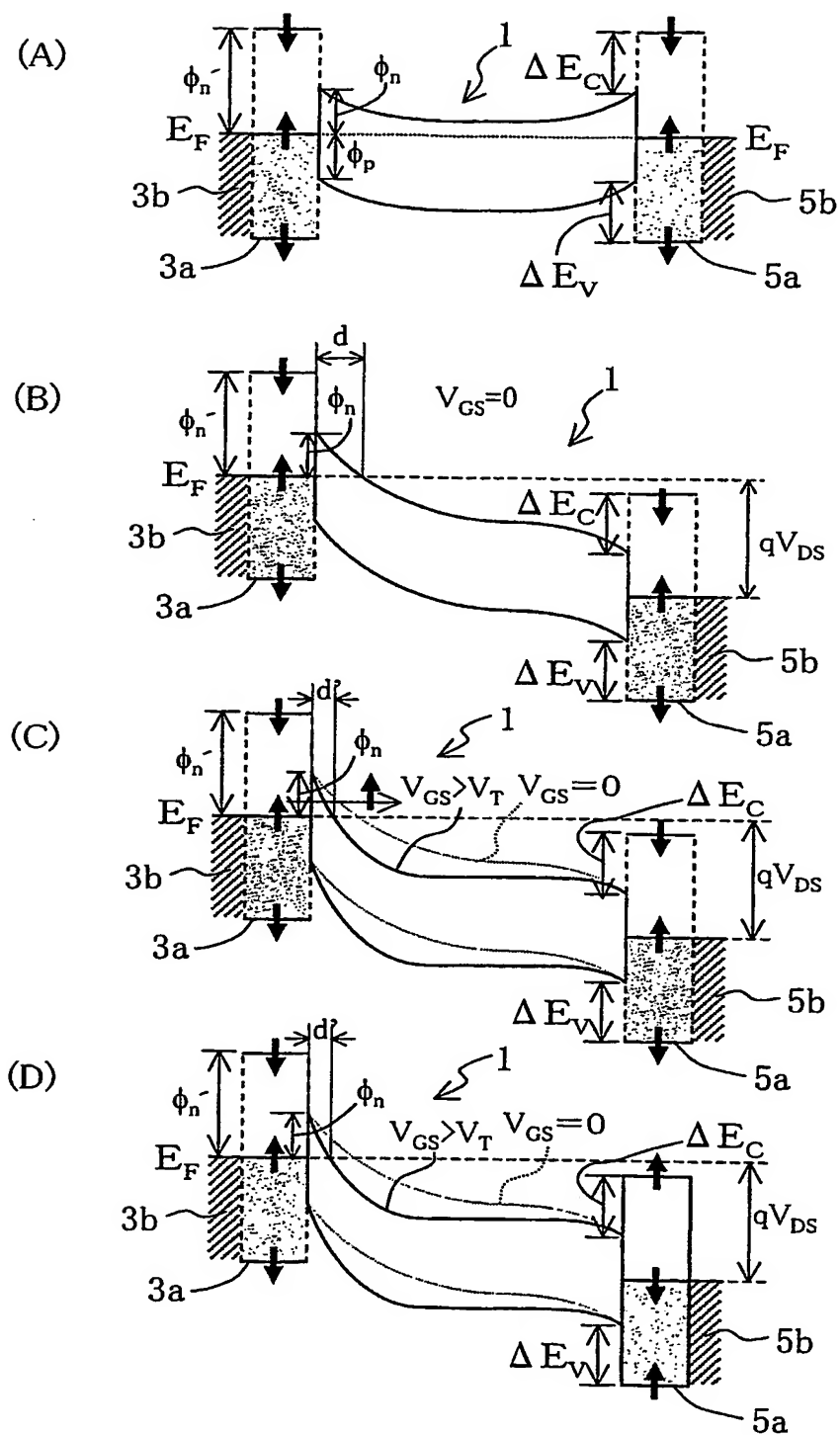
【図 4】



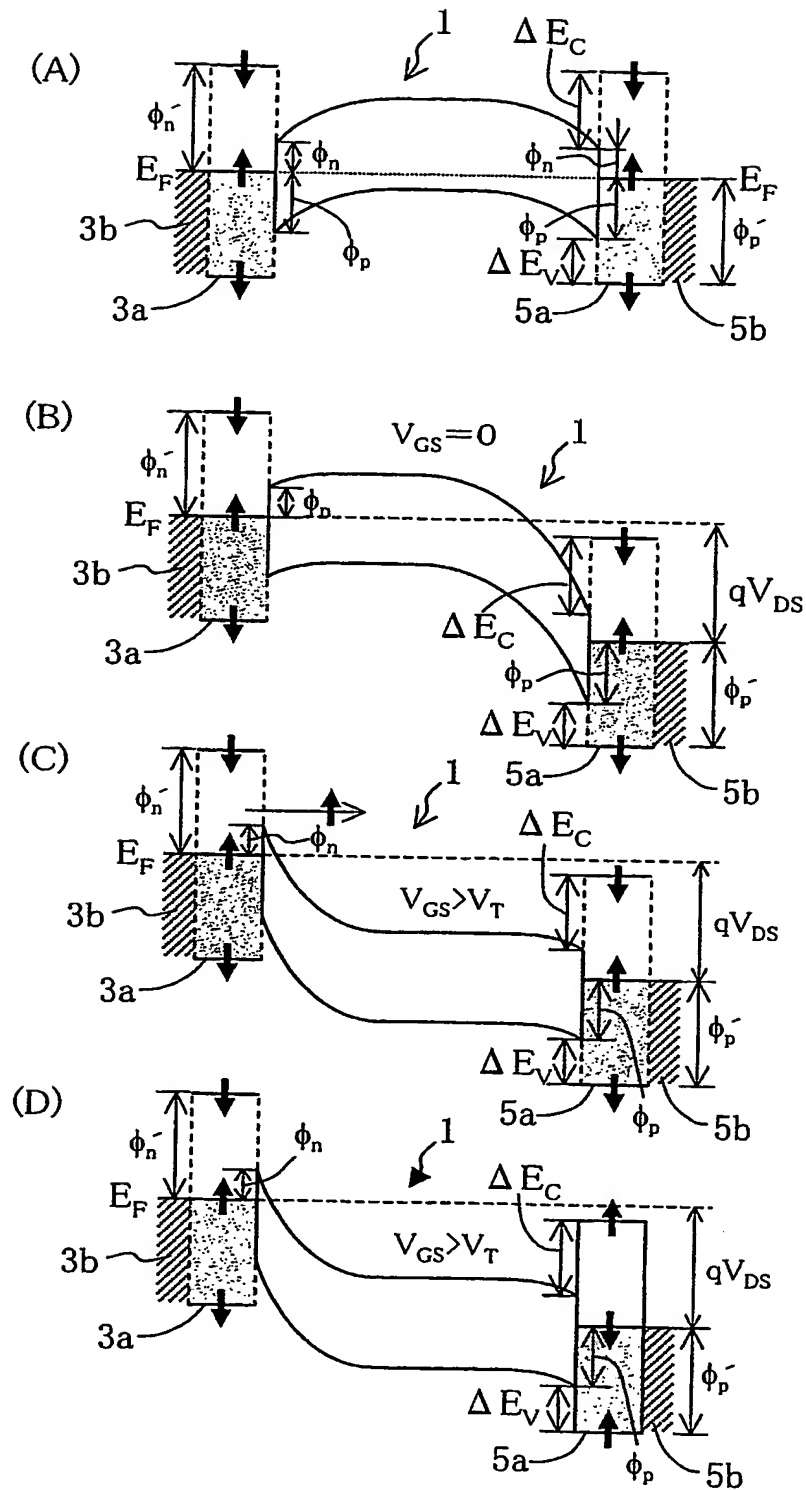
【図 5】



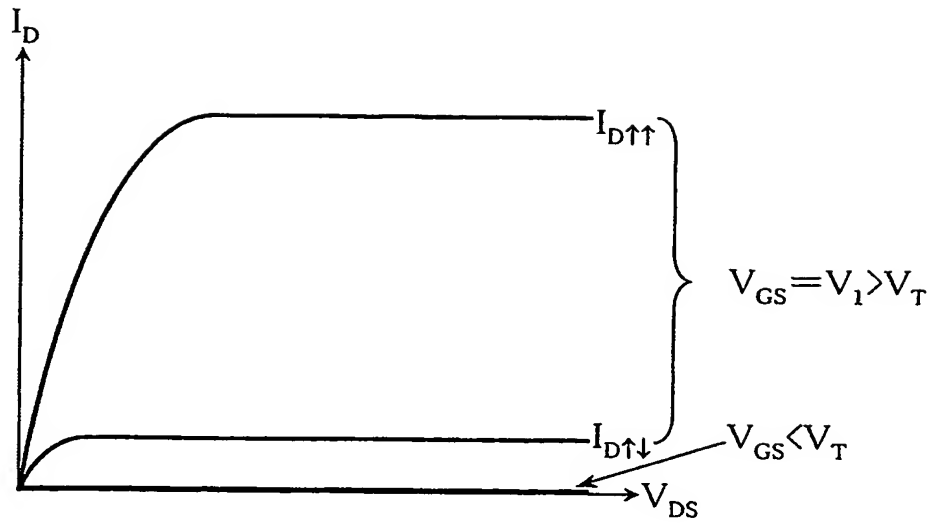
【図 6】



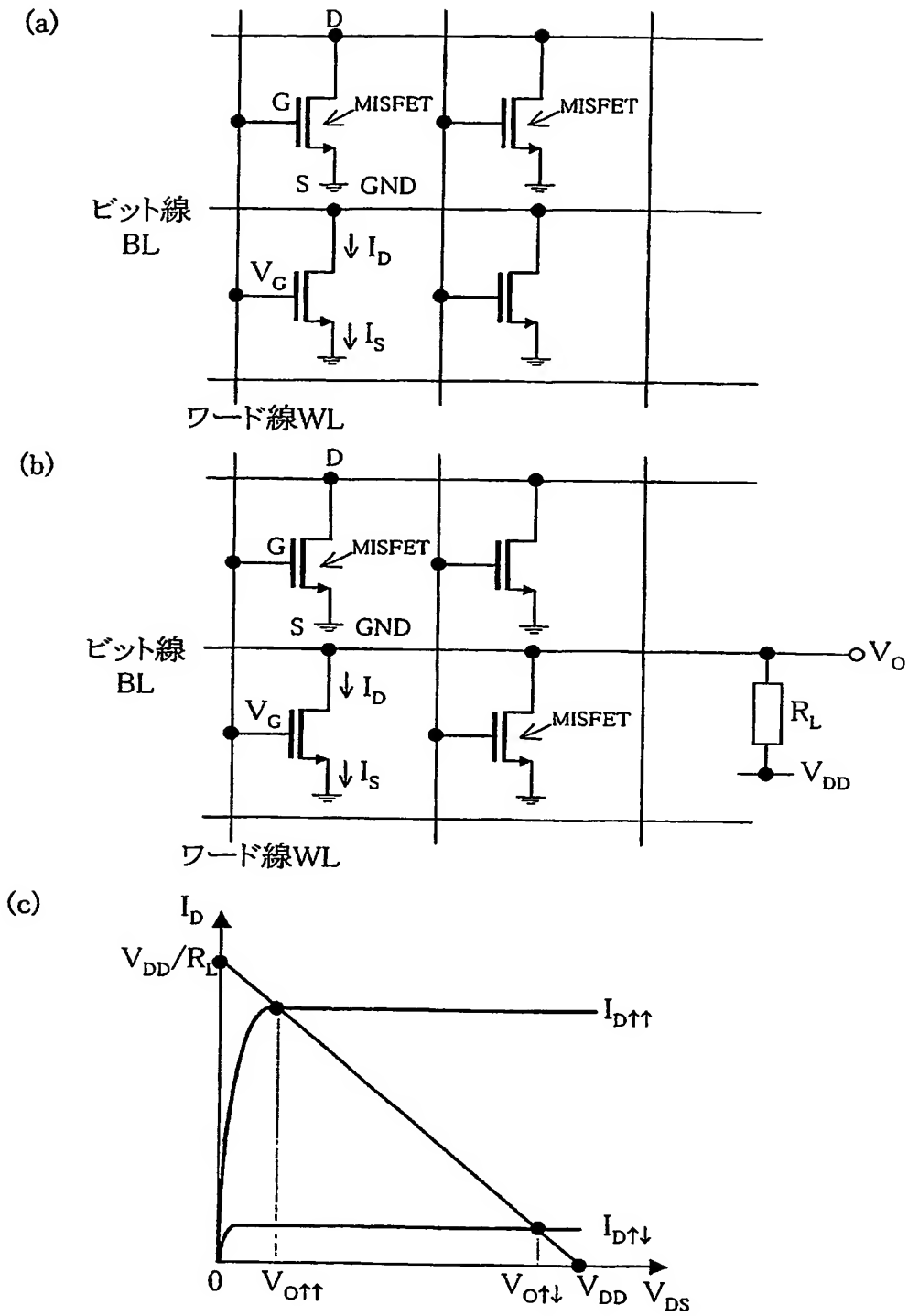
【図 7】



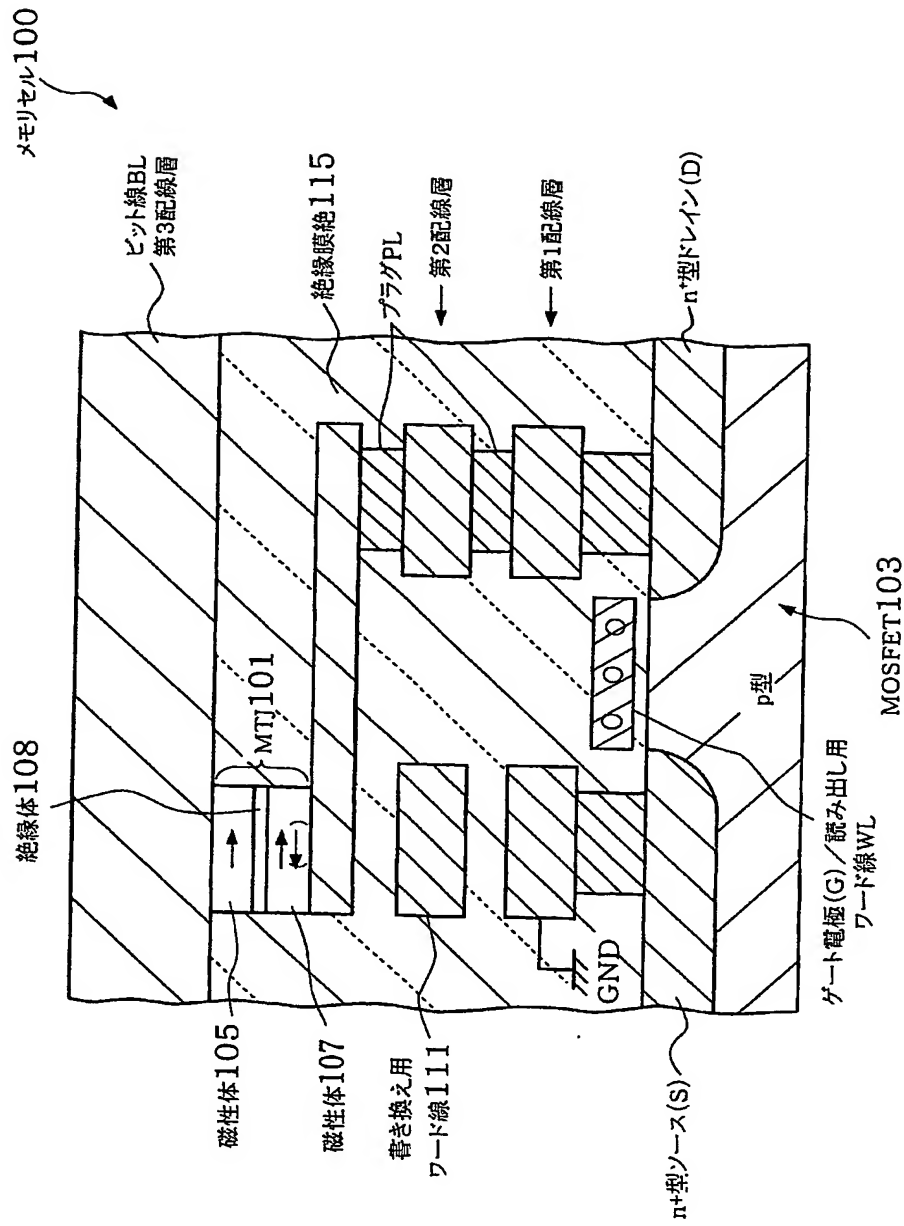
【図 8】



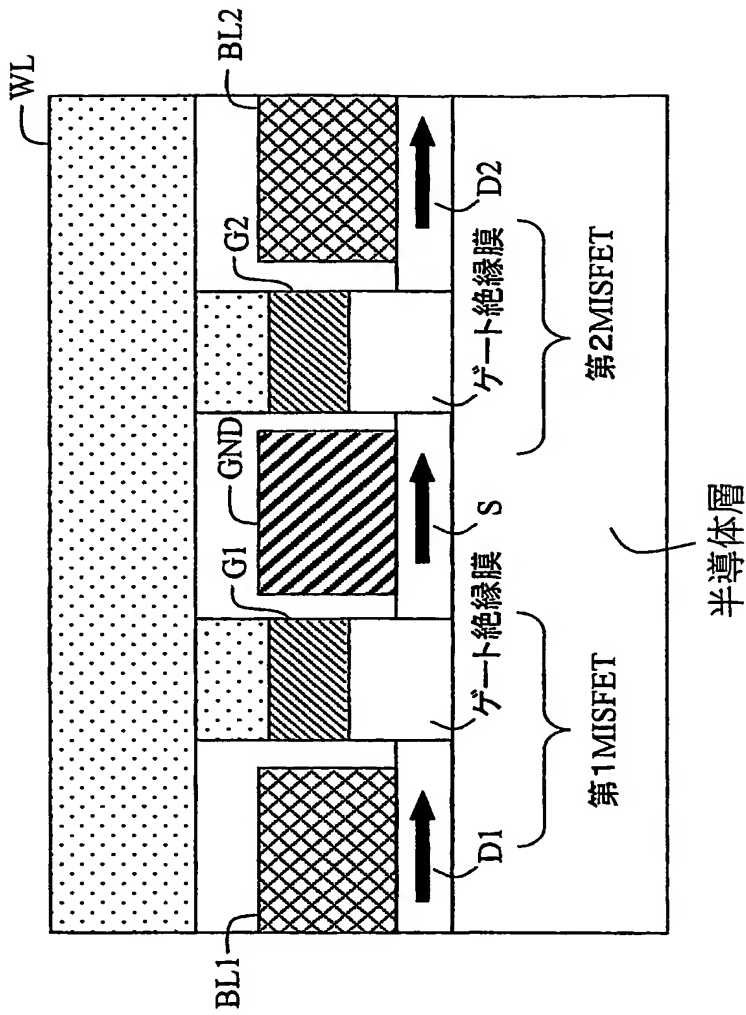
【図 9】



【図 10】



【図 11】





【書類名】 要約書

【要約】

【課題】 強磁性金属またはハーフメタルを用いたショットキー接合によるソースとドレインを有するMISFETを用いて高性能・高集積密度の不揮発性メモリを構成する。

【解決手段】 ゲート電圧 V_{GS} の印加によって、強磁性ソースにおける金属的スピンバンドによるショットキー障壁幅が減少し、この金属的スピンバンドからのアップスピンがチャネル領域にトンネル注入される。このとき強磁性ソース3aの半導体的スピンバンドによるエネルギー障壁により非磁性コンタクト3bからダウンスピンは注入されない。すなわち、強磁性ソース3aからはチャネル層へアップスピンのみが注入される。強磁性ソース3aと強磁性ドレイン5aとが平行磁化の場合では、アップスピンは強磁性ドレインの金属的スピンバンドを伝導してドレイン電流となるが、反平行磁化を持つ場合では、アップスピンは強磁性ドレイン5aにおける半導体的スピンバンドによる高さ ΔE_C のエネルギー障壁によって強磁性ドレイン5aを伝導することができない。

【選択図】 図6

認定・付加情報

特許出願の番号	特願 2003-164398
受付番号	50300965205
書類名	特許願
担当官	植田 晴穂 6992
作成日	平成 15 年 6 月 13 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	396020800
【住所又は居所】	埼玉県川口市本町 4 丁目 1 番 8 号
【氏名又は名称】	科学技術振興事業団

【代理人】

申請人

【識別番号】	100091096
【住所又は居所】	東京都港区虎ノ門 1 丁目 17 番 1 号 虎ノ門 5 森ビル 3 階平木国際特許事務所
【氏名又は名称】	平木 祐輔

【選任した代理人】

【識別番号】	100102576
【住所又は居所】	東京都港区虎ノ門 1 丁目 17 番 1 号 虎ノ門 5 森ビル 3 階平木国際特許事務所
【氏名又は名称】	渡辺 敏章

【選任した代理人】

【識別番号】	100108394
【住所又は居所】	東京都港区虎ノ門 1 丁目 17 番 1 号 虎ノ門 5 森ビル 3 階 平木国際特許事務所
【氏名又は名称】	今村 健一

次頁無

【書類名】 出願人名義変更届 (一般承継)
【提出日】 平成15年10月31日
【あて先】 特許庁長官 殿
【事件の表示】
【出願番号】 特願2003-164398
【承継人】
【識別番号】 503360115
【住所又は居所】 埼玉県川口市本町四丁目 1 番 8 号
【氏名又は名称】 独立行政法人科学技術振興機構
【代表者】 沖村 憲樹
【連絡先】 〒102-8666 東京都千代田区四番町5-3 独立行政法人科学技術振興機構 知的財産戦略室 佐々木吉正 TEL 03-5214-8486 FAX 03-5214-8417
【提出物件の目録】
【物件名】 権利の承継を証明する書面 1
【援用の表示】 平成15年10月31日付提出の特第許3469156号にかかる一般承継による移転登録申請書に添付のものを援用する。
【物件名】 登記簿謄本 1
【援用の表示】 平成15年10月31日付提出の特第許3469156号にかかる一般承継による移転登録申請書に添付のものを援用する。



特願 2003-164398

出願人履歴情報

識別番号

[396020800]

1. 変更年月日

1998年 2月24日

[変更理由]

名称変更

住 所

埼玉県川口市本町4丁目1番8号

氏 名

科学技術振興事業団



特願 2 0 0 3 - 1 6 4 3 9 8

出 願 人 履 歴 情 報

識別番号

[5 0 3 3 6 0 1 1 5]

1. 変更年月日

2 0 0 3 年 1 0 月 1 日

[変更理由]

新規登録

住 所

埼玉県川口市本町 4 丁目 1 番 8 号

氏 名

独立行政法人 科学技術振興機構

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**